

ref 8

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-27815

(43)公開日 平成9年 (1997) 1月28日

(51)Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	D
H 0 4 Q 3/00		9466-5K	H 0 4 Q 3/00	
			H 0 4 L 11/20	C

審査請求 未請求 請求項の数21 O L (全 34 頁)

(21)出願番号	特願平8-105463	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成8年 (1996) 4月25日	(72)発明者	内田 佳宏 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(31)優先権主張番号	特願平7-109754	(74)代理人	弁理士 大菅 義之 (外1名)
(32)優先日	平7 (1995) 5月8日		
(33)優先権主張国	日本 (J P)		

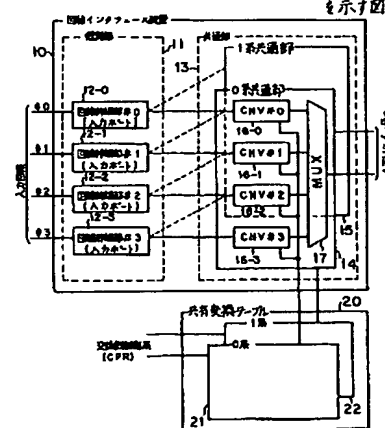
(54)【発明の名称】 ヘッダ変換方式

(57)【要約】

【課題】 メモリの使用効率を高めることによって交換機のハードウェア規模を小さくし、セルのヘッダの変換機能を低コストで実現する。

【解決手段】 回線インタフェース装置10は入力回線#0～#3を収容する。入力回線#0～#3ごとに変換制御部16-0～16-3を設ける。変換制御部16-0～16-3に対して共有変換テーブル20を設ける。共有変換テーブル20は、入力セルのヘッダに格納されているVPI/VCI に対応づけて内部VPI/VCIを格納している。各変換制御部16-0～16-3は、入力回線#0～#3を介してセルを受信すると、そのセルのヘッダから抽出したVPI/VCI に用いて共有変換テーブル20をアクセスして内部VPI/VCI を取り出し、その内部VPI/VCI を上記入力セルのヘッダに設定する。

本発明の一実施例の構成図及び
スイッチの入力側に設けられたヘッダ変換機能部
を示す図



【特許請求の範囲】

【請求項1】 情報フィールドとルーティング情報を含むヘッダとを有する固定長パケットを交換するシステムにおいてその固定長パケットのルーティング情報を変換するヘッダ変換方式であって、

入力回線ごとに設けられ、該入力回線から受信した固定長パケットのヘッダを解析し、第1のルーティング情報を取り出す複数のヘッダ解析手段と、

上記受信した固定長パケットのヘッダから取り出した第1のルーティング情報と、その第1のルーティング情報から変換されるべき情報である第2のルーティング情報とを対応づけて格納し、上記複数のヘッダ解析手段によってアクセスされる記憶手段と、

上記複数のヘッダ解析手段のうちの少なくとも1つに対して設けられ、上記受信した固定長パケットのヘッダに格納されている第1のルーティング情報を上記記憶手段から取り出した第2のルーティング情報に変換する変換手段と、

を有することを特徴とするヘッダ変換方式。

【請求項2】 上記各ヘッダ解析手段によって取り出された第1のルーティング情報を上記記憶手段の実アドレスに変換することを特徴とする請求項1に記載のヘッダ変換方式。

【請求項3】 受信した固定長パケットのヘッダから取り出した第1ルーティング情報およびその固定長パケットを転送してきた入力回線を識別する情報に基づいて上記記憶手段へアクセスすることを特徴とする請求項1に記載のヘッダ変換方式。

【請求項4】 上記各入力回線の使用状況に応じて、各入力回線に対して上記記憶手段の記憶領域を動的に割り当てることを特徴とする請求項1に記載のヘッダ変換方式。

【請求項5】 上記記憶手段を複数のブロックに分割し、上記各入力回線の使用状況に応じて、各入力回線に対して上記ブロックを所定個数だけ割り当てることを特徴とする請求項1に記載のヘッダ変換方式。

【請求項6】 上記記憶手段を2重化系構成とし、第1の系に格納されているデータを第2の系へコピーするコピー制御部を上記記憶手段に設けることを特徴とする請求項1に記載のヘッダ変換方式。

【請求項7】 上記コピー制御部は、上記第1の系に格納されている有効データのみを選択的に第2の系へコピーすることを特徴とする請求項6に記載のヘッダ変換方式。

【請求項8】 上記各ヘッダ解析手段に上記記憶手段から取り出した第2のルーティング情報を格納するメモリを設け、

上記各ヘッダ解析手段は、受信した固定長パケットから取り出した第1のルーティング情報を用いて上記メモリをアクセスして第2のルーティング情報を抽出し、上記

第1のルーティング情報に対応する第2のルーティング情報が上記メモリに格納されていない場合にのみ上記記憶手段にアクセスすることを特徴とする請求項1に記載のヘッダ変換方式。

【請求項9】 上記各ヘッダ解析手段は、上記記憶手段にアクセスすることによって第2のルーティング情報を抽出した場合、その抽出した第2のルーティング情報を上記メモリに格納することを特徴とする請求項8に記載のヘッダ変換方式。

10 【請求項10】 上記記憶手段から抽出した第2のルーティング情報を上記メモリに格納するときに、該メモリに空き領域がなかった場合には、該メモリにおいて最も遠い過去にアクセスした情報を廃棄することを特徴とする請求項9に記載のヘッダ変換方式。

【請求項11】 上記記憶手段から抽出した第2のルーティング情報を上記メモリに格納するときに、該メモリに空き領域がなかった場合には、該メモリの先頭アドレスから順次情報を廃棄することを特徴とする請求項9に記載のヘッダ変換方式。

20 【請求項12】 上記各ヘッダ解析手段を二重化系構成とし、第1の系のヘッダ解析手段を停止状態から運転状態に変更するときに、第2の系のヘッダ解析手段のメモリに格納されているデータを上記第1の系のヘッダ解析手段のメモリへコピーしないことを特徴とする請求項8に記載のヘッダ変換方式。

【請求項13】 上記複数のヘッダ解析手段と上記記憶手段との間をバス接続することを特徴とする請求項1に記載のヘッダ変換方式。

30 【請求項14】 上記複数のヘッダ解析手段と上記記憶手段をリング状に接続することを特徴とする請求項1に記載のヘッダ変換方式。

【請求項15】 情報フィールドとルーティング情報を含むヘッダとを有する固定長パケットを受信する複数の入力ポートおよび上記固定長パケットを転送する複数の出力ポートを有し、上記固定長パケットをそのヘッダに格納されているルーティング情報に従ってルーティングする交換システムであって、

上記複数の入力ポートおよび複数の出力ポートのうちの少なくとも一方に対して設けられ、上記複数の入力ポートおよび複数の出力ポートのうちの少なくとも一方が受信した固定長パケットのヘッダに格納されている第1のルーティング情報を変換する複数のヘッダ変換手段と、上記固定長パケットのヘッダに格納されている第1のルーティング情報から変換されるべき情報である第2のルーティング情報を格納し、上記複数のヘッダ解析手段によってアクセスされる記憶手段とを有し、

上記各ヘッダ解析手段は、第1のルーティング情報に基づいて上記記憶手段から第2のルーティング情報を取り出し、受信した固定長パケットのヘッダに格納されている第1のルーティング情報を第2のルーティング情報へ

変換することを特徴とする交換システム。

【請求項16】 ATMセルのヘッダに格納されているルーティング情報を変換するヘッダ変換方式であって、ATMスイッチに収容される複数本の入力回線から入力されるセルのヘッダに格納されているルーティング情報を変換する複数のヘッダ変換手段と、上記複数のヘッダ変換手段に対して設けられ、入力セルのヘッダに格納されているルーティング情報に対応づけてそのルーティング情報から変換されるべきルーティング情報を格納する共有テーブル手段とを有し、上記各ヘッダ変換手段は、入力セルのヘッダに格納されているルーティング情報を用いて上記共有テーブル手段から上記変換されるべきルーティング情報を取り出し上記入力セルのヘッダに設定するヘッダ変換方式。

【請求項17】 ATMセルのヘッダに格納されているルーティング情報を変換するヘッダ変換方式であって、ATMスイッチに収容される複数本の出力回線に対して設けられ、上記ATMスイッチから出力されたセルのヘッダに格納されているルーティング情報を変換する複数のヘッダ変換手段と、上記複数のヘッダ変換手段に対して設けられ、ATMスイッチからの出力セルのヘッダに格納されているルーティング情報に対応づけてそのルーティング情報から変換されるべきルーティング情報を格納する共有テーブル手段とを有し、上記各ヘッダ変換手段は、ATMスイッチからの出力セルのヘッダに格納されているルーティング情報を用いて上記共有テーブル手段から上記変換されるべきルーティング情報を取り出し上記ATMスイッチからの出力セルのヘッダに設定するヘッダ変換方式。

【請求項18】 情報フィールドとルーティング情報を含むヘッダとを有する固定長パケットを交換するシステムにおいてその固定長パケットのヘッダに格納されているルーティング情報を変換するヘッダ変換方法において、スイッチに収容される複数の入力回線から入力される固定長パケットのルーティング情報を変換するための情報を共有変換テーブルに格納するステップと、上記入力回線毎に上記共有変換テーブルを参照して固定長パケットのヘッダに格納されているルーティング情報を書き換えるステップと、ルーティング情報が書き換えられた固定長パケットを上記スイッチへ転送するステップと、を有するヘッダ変換方法。

【請求項19】 情報フィールドとルーティング情報を含むヘッダとを有する固定長パケットを交換するシステムにおいてその固定長パケットのヘッダに格納されているルーティング情報を変換するヘッダ変換方法において、スイッチに収容される複数の出力回線へ転送する固定長

パケットのルーティング情報を変換するための情報を共有変換テーブルに格納するステップと、上記出力回線毎に上記共有変換テーブルを参照して固定長パケットのヘッダに格納されているルーティング情報を書き換えるステップと、ルーティング情報が書き換えられた固定長パケットを上記複数の出力回線のうちの少なくとも1本に出力するステップと、を有するヘッダ変換方法。

- 10 【請求項20】 情報フィールドとルーティング情報を含むヘッダとを有する固定長パケットを交換するシステムにおいてその固定長パケットのヘッダに格納されているルーティング情報を変換するヘッダ変換方法において、固定長パケットを受信する複数の入力ポートにおいて受信された固定長パケットのヘッダを解析し、そのヘッダから第1のルーティング情報を取り出すステップと、上記複数の入力ポートに対して設けられた共有ルーティング情報格納部から上記第1のルーティング情報に基づいて第2のルーティング情報を抽出するステップと、上記第1のルーティング情報を上記第2のルーティング情報に変換するステップと、を有するヘッダ変換方法。
- 20 【請求項21】 情報フィールドとルーティング情報を含むヘッダとを有する固定長パケットを交換するシステムにおいて該システムはスイッチおよびそのスイッチに接続される複数の出力ポートを有しており、上記固定長パケットのヘッダに格納されているルーティング情報を変換するヘッダ変換方法において、
- 30 上記複数の出力ポートを介して転送される固定長パケットのヘッダを解析し、そのヘッダから第1のルーティング情報を取り出すステップと、上記複数の出力ポートに対して設けられた共有ルーティング情報格納部から上記第1のルーティング情報に基づいて第2のルーティング情報を抽出するステップと、上記第1のルーティング情報を上記第2のルーティング情報に変換するステップと、を有するヘッダ変換方法。

【発明の詳細な説明】

- 40 【0001】
- 【産業上の利用分野】 本発明は、固定長パケットを交換するシステムにおいて固定長パケットのヘッダを変換する方式に係わり、特に、ATM交換システムにおけるATMセルのヘッダの変換機能に関する。
- 【0002】
- 【従来の技術】 近年、音声データ、テキストデータ等の伝送に加えて、より高速な伝送速度をが要求される画像データを含めた様々な形態の通信を統一的に扱うサービスが不可欠となってきたが、その中核技術がATM

【発明の詳細な説明】

40 【0001】

【産業上の利用分野】 本発明は、固定長パケットを交換するシステムにおいて固定長パケットのヘッダを変換する方式に係わり、特に、ATM交換システムにおけるATMセルのヘッダの変換機能に関する。

【0002】

【従来の技術】 近年、音声データ、テキストデータ等の伝送に加えて、より高速な伝送速度をが要求される画像データを含めた様々な形態の通信を統一的に扱うサービスが不可欠となってきたが、その中核技術がATM

50 (非同期転送モード)である。

【0003】ATM は、情報を48オクテット毎の固定長に区切ったペイロードに、ヘッダと呼ばれる5オクテットの制御情報（ルーティング情報など）を付加した構成をデータ転送単位（データ交換単位）とする。このデータ転送単位は、セルと呼ばれる。

【0004】図20は、ATM セルのフォーマットを示す構成図である。ATM セルは、通常、UNI (User-Network Interface) 上で規定されるフォーマットと、NNI (Network-Network Interface) 上で規定されるフォーマットとが異なる。UNI は、加入者とATM 交換機との間のインタフェース点であり、NNI は、ATM 交換機間あるいは局間のインタフェース点である。

【0005】図20(a) は、UNI におけるATM セルのフォーマットである。ヘッダの先頭の4ビットは、UNI 上でのセル同士の衝突を回避するための制御に用いられるGFC (General Flow Control) を格納する領域である。続いて、仮想パスを識別するための8ビットのVPI (Virtual Path Identifier) および仮想チャネルを識別する16ビットのVCI (Virtual Channel Identifier) を格納する領域が設けられている。さらに、PTI (ペイロードタイプ表示) およびHEC (ヘッダ誤り制御) を格納する領域が設けられる。そして、上記構成のヘッダにペイロードが続く。

【0006】図20(b) は、NNI におけるATM セルのフォーマットである。NNI 上でのATMセルは、GFC を持たない。また、NNI におけるATMセルには、12ビットのVPIが設定される。VCI、PTI、HECについては、UNI 上でのATMセルと同じビット数が割り当てられる。

【0007】なお、VPI は、仮想パスを識別するための情報であり、VCI は、仮想チャネルを識別するための情報なので、これらの識別情報VPI/VCI は、ルーティング情報である。

【0008】図21は、ATM 交換システムの構成図である。この交換システムは、スイッチの入力側及び出力側にVCC (Virtual Channel Conversion: 仮想チャネル変換機能) を有する構成である。すなわち、ATM スイッチ102の入力側において、入力セルのヘッダに格納されているVPI/VCI (入力VPI/VCI) を交換機内で使用するVPI/VCI (内部VPI/VCI) に変換する。また、ATM スイッチ102の出力側では、スイッチから出力されたセルのヘッダに格納されている内部VPI/VCI をセルを出力回線に出力するときのVPI/VCI (出力VPI/VCI) に変換する。交換機内において内部VPI/VCI を用いる方式は、交換システム内における処理の高速化を図るための手法として導入している。

【0009】入力回線インタフェース装置101-1~101-3は、加入者回線または他の交換機との間の回線を収容する。加入者線におけるデータ伝送は、UNI によって規定され、図20(a) に示したフォーマットのATMセルが転送される。また、他の交換機との間の回線に

におけるデータ伝送は、NNI によって規定され、図20(b) に示したフォーマットのATMセルが転送される。入力回線インタフェース装置101-1~101-3は、それら回線を介して入力されるセルのヘッダ変換処理（入力VPI/VCI を内部VPI/VCI に変換する）などを行って、そのセルをATMスイッチ102へ転送する。

【0010】入力回線インタフェース装置101-1~101-3は、それぞれ複数の入力回線を収容しており、各入力回線ごとにVCC (Virtual Channel Conversion: 仮想チャネル変換機能) を有する。入力回線インタフェース装置101-1~101-3内に設けられる各VCC は、それぞれ入力セルのヘッダに格納されている入力VPI/VCI をキーとしてATM 交換機内でのセルのヘッダ情報として内部VPI/VCIを取り出し、入力VPI/VCI を内部VPI/VCI に書き換える。すなわち、ATM 交換機に入力する全てのセルはいずれかのVCC によりヘッダ情報が変換され、ATM スイッチ102に転送される。

【0011】ATM スイッチ102は、セルフルーティングスイッチであり、入力セルのヘッダ情報に従ってそのセルをハードウェア自律で交換し、所定の出力回線インタフェース装置103-1~103-3へ転送する。各出力回線インタフェース装置103-1~103-3は、ATM スイッチ102によって交換されたセルをそのヘッダ情報に従って所定の出力回線へ出力する。

【0012】各出力回線インタフェース装置103-1~103-3は、それぞれ出力回線を収容し、出力回線ごとにVCC を有している。そして、そのVCC においてATM スイッチ102から出力されたセルのヘッダに格納されている内部VPI/VCI を出力VPI/VCI に変換して出力回線に出力する。

【0013】このように、ATM 交換機に入力されたセルは、入力回線インタフェース装置101-1~101-3、および出力回線インタフェース装置103-1~103-3においてヘッダ情報が変換され、VPI/VCI によって指定される出力回線へと出力される。

【0014】図22は、入力回線インタフェース装置101の構成図である。入力回線インタフェース装置101は、複数の入力回線#0~#3を収容する個別部110とヘッダ情報の変換処理および多重可処理を行う共通部120とを有する。個別部110は、入力回線ごとに回線終端部111 (#0~#3) を有する。共通部120は、障害発生時やメンテナンス時にも交換機の処理を停止させないように2重化系構成(0系共通部121、1系共通部122)となっている。0系共通部121は、個別部110の各回線終端部111 (#0~#3) に対応してVCC123 (#0~#3) を有する。例えば、回線終端部111 (#0) を介して入力されるセルは、VCC123 (#0) によってヘッダ情報が変換されて、ATMスイッチ102に対して出力される。1系共通部122は、0系共通部121と同じ構成である。2

つの共通部121、122は、並行して同じ処理を実行し、その一方の出力がATMスイッチ102へ転送される構成である。

【0015】図23は、出力回線インタフェース装置103の構成図である。出力回線インタフェース装置103は、出力回線毎にVCC151（#0～#3）を有する。各出力回線は、回線終端部152（#0～#3）によって終端される。VCC151（#0～#3）は、図示していないが、VCC123（#0～#3）と同様に2重化系である。

【0016】図24は、VCC123の構成図である。この構成は、各#0～#3に共通である。VCC123は、ヘッダ情報の変換処理を制御する変換制御部CNV130、および上記変換処理で使用するデータを格納するVPI/VCI変換テーブルVCT140（以下、変換テーブル）から構成される。VCC123にセルが入力すると、変換制御部130内の入力ヘッダ解析部131がその入力セルのヘッダ情報を解析する。テーブルアクセス制御部132は、その解析されたヘッダ情報に基づいて生成したアドレスを用いて変換テーブル140内に設けられたメモリ141にアクセスする。即ち、入力セルのヘッダに格納されている入力VPI/VCIをアドレスとして、変換テーブル140からヘッダ情報（内部VPI/VCI）を読み出す。この読み出されたヘッダ情報はヘッダ変換部134に転送される。一方、上記入力セルは、遅延回路133によって所定時間だけ遅延された後にヘッダ変換部134に転送される。そして、ヘッダ変換部134において入力セルのヘッダ情報が変換テーブル140から読み出されたヘッダ情報に書き換えられる。なお、変換テーブル140の内容は、ATM交換機の制御系（CPR）により逐次書き換えられている。

【0017】図25は、VCC151の構成図である。VCC151の構成は、基本的にVCC123と同じである。ただし、VCC151内の変換テーブルは、ATMスイッチ102から出力されたセルのヘッダに格納されている内部VPI/VCIをアドレスとして、セルを出力回線に出力する際のルーティング情報である出力VPI/VCIを格納している。

【0018】このように、従来のATM交換機は、回線ごとにVCCを設けてヘッダ変換を行うVCC分散配置構成であった。

【0019】

【発明が解決しようとする課題】しかしながら、VCCを分散配置させた構成では以下に述べる問題点がある。以下では、ATMスイッチ102の入力側について説明するが、出力側でも同じ問題が発生する。

1)ハードウェアの使用効率が低い

上述したように、VCCを入力回線ごとに分散配置すると、変換制御部130及び変換テーブル140を各入力回線ごとに設けることになる。このような構成とする

と、変換制御部130の回路規模は比較的小さく構成できるが、変換テーブル140の規模は大きくなる。例えば、UNI（User-Network Interface）におけるVPI/VCIのビット長は、図20(a)に示すように、それぞれ8ビット/16ビットなので、全ての入力VPI/VCIに対して変換用のヘッダ情報（内部VPI/VCI）を設定する場合、その組み合わせは $2^8 \times 2^{16} = 2^{24} = 16,777,216$ 通りとなる。また、NNI（Network-Network interface）VPI/VCIのビット長は、図20(b)に示すように、それぞれ12ビット/16ビットであるので、この場合の組み合わせは、 $2^{12} \times 2^{16} = 2^{28} = 268,435,456$ 通りとなる。

【0020】このような膨大な量のヘッダ情報を格納するためには、非常に大きなテーブル（メモリ）が必要になるので、このテーブルを入力回線毎に配置するのは現実的でない。このため、実際には、入力回線の平均使用率などを基に、同時に通信を行うVPI/VCI数をシミュレーション等によって算出し、その算出結果に従って必要となる変換テーブルの大きさ（メモリ容量）を決定して各入力回線ごとに設けている。

【0021】ところが、ATM交換システムでは、特定の回線の使用率が高くなるような状態が起こり得る。例えば、ある回線に障害が発生すると、その回線を介して転送されていたセルを他の回線に迂回させて通信を行うので、特定の回線の使用率が高くなる。このように、ある回線の使用率が高くなると、その回線上で同時に通信が行われるVPI/VCI数が増加するので、それらすべてのVPI/VCIを変換するためのヘッダ情報を格納できるように変換テーブルの大きさに余裕を持たせておく必要がある。そして、このような回線使用率の変化は、任意の回線に発生する可能性があるため、すべての回線で確実にヘッダ変換を行うためには、すべての回線の変換テーブルの大きさに余裕を持たせておく必要がある。

【0022】しかしながら、各回線の使用率は、通常、平均使用率程度であるので、すべての回線の変換テーブルのメモリ容量に余裕をもたせると、大部分の変換テーブルにおいてメモリの未使用領域が多くなり、メモリ使用効率の低下を招く。換言すれば、変換テーブルのために必要以上のメモリを設けていることになり、各回線ごとのハードウェアが大規模になるとともに、交換機全体のコストを高くしてしまう。

(2)二重化構成に対しての適用性が低い

上述したように、VCCが配置される入力回線インタフェース装置101は、通常、ハードウェア障害などによる交換サービスの中断を極力避けるために、図22に示すように共通部120を二重化構成としている。また、セルのヘッダ変換処理は、入力回線インタフェース装置101内のVCC123で行われるが、ヘッダ変換に関する障害が発生すると、セルの誤交換・廃棄などが起こりサービスに重大な障害を与える恐れがあるので、このよ

うな障害を回避するためにも共通部120を二重化構成としている。即ち、1系共通部122は、0系共通部121と同じ構成であり、各入力回線#0~#3に対応してVCC123(#0~#3)を有する。そして、0系共通部121または1系共通部122のうちの一方をアクティブ状態とし、他方をスタンバイ状態として動作させる。

【0023】上記構成において障害等が発生したときに即座に系切換えをするためには、0系共通部121と1系共通部122が常に同じ動作をしている必要がある。すなわち、0系共通部121および1系共通部122の各対応するVCC123(#0~#3)が常に同じヘッダ変換処理をしている必要がある。たとえば、0系共通部121のVCC123(#0)と1系共通部122のVCC123(#0)とは同じ状態でなければならない。具体的には、両系の各VCC123(#0~#3)が有する変換テーブルの内容、すなわち0系および1系の変換テーブルに格納される入力VPI/VCIと内部VPI/VC1との対応関係が、互いに一致していなければならない。なお、各変換テーブルは、通常、交換機の制御系ソフトウェアによって0系/1系に対して同一の設定が行われる。

【0024】上記二重化構成の入力回線インタフェース装置101において、例えば、0系共通部121のVCC123(#0)に障害が発生すると、0系共通部121はアウトオブサービス(Out Of Service)状態となる。この後、0系共通部121のハードウェアの修理・交換をなど行い、共通部120の二重化を再構築するために0系共通部121をインサービス(In Service)状態に戻すとき、0系共通部121のVCC123に、1系共通部122のVCC123と同じ内容を設定する必要がある。このように、一方の共通部をインサービス化するとき、そのVCCの内容を他方のVCCの内容と一致させる処理をVCCコピーと呼ぶ。

【0025】VCCコピーを実現する方式の1つとしては、交換機の制御系ソフトウェア(交換機全体を管理・制御するプロセッサCPRが処理する)が、1系共通部122のVCCに対して行った設定と同じ設定を0系共通部121のVCCに対して行う処理が考えられる。この方式は、VCCコピーを行うために特別なハードウェアを設ける必要がないが、すべての処理を交換機の制御系ソフトウェアが行うため、交換機が収容する入力回線数が増加すると、その回線数に比例して制御系の負担が増加してしまう。すなわち、交換機の制御系は、VCCコピーの処理のためのその資源が使用されてしまうので、交換処理能力が低下してしまう。このため、VCCコピーでは、交換機の制御系の処理を出来るだけ小さくし、かつ短時間で行われる方式が望まれる。

【0026】この要求を満たすための方式としては、図26に示すように、共通部120において両系のVCC間

でVCCコピーを行うための交絡(相互接続)を持つハードウェアを設ける方式が実施されている。この交絡構成は、対応するVCC毎に(VCC#0、VCC#1、VCC#2、VCC#3毎に)設けられるが、一般にそのハードウェア規模は大きく、また、VCCコピーを処理するためにプロセッサを持つことが通常であり、そのためのファームウェアも必要となる。従って、入力回線ごとにVCCを設ける構成では、交換機が収容する回線数が増加することによってVCCの数が増加すると、VCCコピーのためのハードウェアが大きくなり、そのためのコストも増加する。

【0027】このように、回線毎にVCCを設けるVCC分散配置構成では、ハードウェア、特にVCC内に設けるメモリの使用効率が低く、また、交換機の制御系の処理を少なく抑えてVCCコピーを行う構成を低コストで実現することはできなかった。

【0028】本発明は、このような問題を解決するものであり、ハードウェア使用効率を高めることによって交換機のハードウェア規模を小さくし、セルのヘッダ変換機能を低コストで実現することを目的とする。

【0029】

【課題を解決するための手段】本発明の手段について図1を参照しながら説明する。本発明のヘッダ変換方式は、データフィールドとそのデータフィールドを自律的にルーティングさせるためのルーティング情報を含むヘッダとからなる固定長パケットを交換するシステムを前提とする。この交換システムをATMネットワークとすると、上記ルーティング情報は、VPI/VCI(仮想パス識別子/仮想チャネル識別子)である。本発明のヘッダ変換方式は、以下の各手段を有する。

【0030】ヘッダ解析手段1-1、・・・、1-nは、入力回線ごとに設けられ、各入力回線に接続される各入力ポートで受信される固定長パケットのヘッダを解析してルーティング情報を取り出す。

【0031】記憶手段2は、ヘッダ解析手段1-1、・・・、1-nが取り出したルーティング情報(第1のルーティング情報)と、固定長パケットを出力するときにそのヘッダに付加するルーティング情報(第2のルーティング情報)とを対応付けて格納する。ヘッダ解析手段1-1、・・・、1-nは、第1のルーティング情報を用いて記憶手段2にアクセスし、第2のルーティング情報を取り出す。

【0032】変換手段3-1、・・・、3-nは、入力ポートごとに設けられ、ヘッダ解析手段1-1、・・・、1-nによって記憶手段2から取り出された第2のルーティング情報を受け取り、第1のルーティング情報を第2のルーティング情報に書き換えるヘッダ変換を行う。

【0033】記憶手段2は、ヘッダ解析手段1-1、・・・、1-n及び変換手段3-1、・・・、3-nから

分離した装置（またはボード）内に設ける。また、記憶手段2を二重化系構成とする。

【0034】複数の入力回線から入力される固定長パケットのヘッダ変換に用いる情報を記憶手段2に集中させて格納し、上記複数の入力回線ごとに設けたヘッダ解析手段1-1, ..., 1-nからこの記憶手段2にアクセスする構成としている。このため、記憶手段2の使用効率が向上する。特に、各入力回線の使用状況に応じて、記憶手段2の記憶領域を各入力回線に割り当てる構成とし、例えば、同時に転送されるチャンネル数が多い入力回線に対して大きな記憶領域を割り当てるように制御すれば、各入力回線における未使用記憶領域が小さくなる。

【0035】記憶手段2を二重化系構成とすると、記憶手段2内に設けられる2つの系の内容を互いに一致させる必要があり、必要に応じて両系の間でコピー（一方の系に格納されている情報を他方の系へコピーする）を行うが、記憶手段2は、ヘッダ解析手段1-1, ..., 1-nおよび変換手段3-1, ..., 3-nから分離されているので、たとえば、ヘッダ解析手段1-1, ..., 1-nまたは変換手段3-1, ..., 3-nを修理・交換等するときには、上記コピーを行う必要がない。したがって、メンテナンス時間を短縮できる。

【0036】

【発明の実施の形態】本発明の実施形態について図面を参照しながら説明する。以下では、本発明のヘッダ変換方式をATMに適用した例を説明する。ATM交換システムとしては、図21の構成を前提とし、ATMスイッチ102の入力側および出力側にVCC(Virtual channel conversion)を有する構成である。すなわち、ATMスイッチ102の入力側において、入力セルのヘッダに格納されているVPI/VCI（入力VPI/VCI）を交換機内で使用するVPI/VCI（内部VPI/VCI）に変換する。また、ATMスイッチ102の出力側では、ATMスイッチ102から出力されたセルのヘッダに格納されている内部VPI/VCIをセルを出力回線に出力するときのVPI/VCI（出力VPI/VCI）に変換する。

【0037】なお、実施例ではATMスイッチの入力側および出力側にVCCを設ける構成を示すが、本発明は、ATMスイッチの入力側のみにVCCを設け、そのVCCにセルを出力回線に出力するときのVPI/VCI（出力VPI/VCI）を格納しておき、そのVCCが入力セルのヘッダに格納されているVPI/VCI（入力VPI/VCI）を出力VPI/VCIに変換する構成にも適用される。

【0038】図2は、ATM交換システムにおいて、ATMスイッチの入力側に設けられたVCCの構成図である。VCCは、"Virtual Channel Conversion"の略であり、VPI/VCIを変換することが主機能であるが、ヘッダ変換機能あるいはヘッダ情報変換機能と呼ばれることも多い。本実施例のヘッダ変換機能部は、回線インタフェース装置内

に設けられる変換制御部CNVと回線インタフェース装置の外部に設けられる共有変換テーブルとからなる。

【0039】図2に示す本実施例のヘッダ変換機能部は、図22に示す従来の構成と比較すると、以下の点が異なる。すなわち、従来の構成では、入力回線ごとに設けられるVCC123内に変換テーブルを設けていたが、本実施例の構成では、入力回線インタフェース措置10の外部に共有変換テーブル20を設けている。共有変換テーブル20は、複数の入力回線に対して1つ設けられる。

【0040】本実施例のヘッダ変換機能部は、入力回線からセルを受信すると、共有変換テーブル20からヘッダ情報（内部VPI/VCI）を取り出して、ヘッダ変換（入力セルのVPI/VCIを内部VPI/VCIに書き換える）を行い、そのセルをATMスイッチへ転送する。

【0041】回線インタフェース装置10は、個別部11及び共通部13とから構成され、4本の入力回線#0～#3から入力されるセルを多重化してATMスイッチへ転送する。個別部11は、4本の入力回線#0～#3をそれぞれ終端する回線終端部#0～#3（12-0～12-3）を有する。回線終端部12-0～12-3は入力回線を介して転送されてくるセルを受信する入力ポートである。

【0042】共通部13は、互いに同一構成の0系共通部14及び1系共通部15からなる二重化構成である。0系共通部14は、各回線終端部#0～#3（12-0～12-3）にそれぞれ対応する変換制御部CNV #0～#3（16-0～16-3）を有する。各変換制御部CNV #0～#3（16-0～16-3）は、それぞれ共有変換テーブル20にアクセスして入力セルに格納されている入力VPI/VCIに対応する内部VPI/VCIを取り出す。そして、その内部VPI/VCIを用いてヘッダを変換し、そのヘッダを変換したセルを多重化部17へ転送する。

【0043】1系共通部15は、0系共通部14と同じ処理を行う。すなわち、回線終端部#0～#3（12-0～12-3）から出力されたセルは、1系共通部15の各変換制御部CNV #0～#3（不図示）によって受信され、同様のヘッダ変換処理を行う。

【0044】多重化部17は、変換制御部CNV #0～#3（16-0～16-3）から出力されたセルを多重化する。そして、0系共通部14および1系共通部15のうち的一方（アクティブ系）の出力セルがATMスイッチへ転送される。

【0045】共有変換テーブル20は、共通部13と同様に二重化構成であり、互いに同一構成の0系共有変換テーブル21および1系共有変換テーブル22からなる。各共有変換テーブル21および22には、入力VPI/VCIをキーアドレスとしてセルのヘッダ変換に使用されるヘッダ情報（内部VPI/VCI）が格納されている。両共有変換テーブル21および22に格納されるヘッダ情報

は互いに同じである。

【0046】0系共通部14および1系共通部15と、0系共有変換テーブル21および1系共有変換テーブル22との間の接続は、図2においては、0系どうしおよび1系どうしが接続された構成であるが、0系と1系とが交絡してもよい。即ち、たとえば、0系共通部14が1系共有変換テーブル22をアクセスすることも可能である。

【0047】各変換制御部CNV #0～#3(16-0～16-3)と共有変換テーブル20との間の接続は、それぞれ個別の接続線を設ける構成、図3(a)に示すようなバス接続構成、または、図3(b)に示すようなリング接続構成が可能である。バス接続構成またはリング接続構成における通信は、マルチプロセッサシステムのプロセッサ間の通信プロトコルまたはLANプロトコルなどで実現する。なお、本実施例では、各変換制御部CNV #0～#3(16-0～16-3)と共有変換テーブル20との間をシリアルバスで接続する構成とする。

【0048】図2においては、1つの回線インタフェース装置10が収容する回線#0～#3に対して共有変換テーブル20を設けているが、複数の回線インタフェース装置に対して1つの共有変換テーブル20を設ける構成としてもよい。

【0049】前述したように、従来のヘッダ変換機能部(VCC)は、図22または図23に示したように、回線ごとに変換テーブルを設ける構成であったが、本実施例のヘッダ変換機能は、複数の回線に対して1つの共有変換テーブル20を設ける構成である。図2に示す共有変換テーブル20には、複数の入力回線からそれぞれ入力されるセルのヘッダ変換に使用する内部VPI/VCIが設定されている。そして、回線ごとに設けられた変換制御部CNV #0～#3(16-0～16-3)がそれぞれ共有変換テーブル20をアクセスする。

【0050】図4は、ATMスイッチの出力側に設けられたVCCの構成図である。ATMスイッチの出力側に設けられるVCCは、出力回線ごとに変換制御部51が設けられる構成であり、基本的に、図2に示した入力側のVCCと同じ構成である。ただし、共有変換テーブル52は、内部VPI/VCIに対応づけられて出力VPI/VCIを格納している。すなわち、出力側のVCCは、ATMスイッチから出力されたセルのヘッダに格納されている内部VPI/VCIを出力VPI/VCIに変換するヘッダ変換を実行する。なお、図4に示す回線終端部は、出力回線を介してセルを転送する出力ポートである。

【0051】図5は、ATMスイッチの入力側の回線インタフェース装置内に設けられる変換制御部16の構成図である。なお、変換制御部16は、変換制御部CNV #0～#3(16-0～16-3)を代表するものである。

【0052】変換制御部16は、入力回線毎に設けられ、各入力回線から入力されるセルのヘッダ情報に基づ

いて生成されるアドレスを用いて共有変換テーブル20をアクセスする。共有変換テーブル20には、複数の入力回線からそれぞれ入力されるセルのヘッダ変換に使用する内部VPI/VCIが設定されている。そして、変換制御部16は、上記アドレスをキーとして共有変換テーブル20から内部VPI/VCIを取り出し、入力セルのヘッダに格納されているVPI/VCIを共有変換テーブル20から取り出した内部VPI/VCIに書き換えるヘッダ変換を行う。

【0053】共有変換テーブル20の設定は、交換機全体の制御処理を行うプロセッサ及びそのプロセッサ上で実行されるソフトウェアプログラム(以下、交換機の制御系(CPR)と呼ぶ)によって書き込まれる。交換機の制御系(CPR)は、共有変換テーブル20に対して直接設定を行うことができることに加え、変換制御部16を介して共有変換テーブル20上の所定アドレスに出力ヘッダ情報、すなわち内部VPI/VCIを書き込むこともできる。また、交換機の制御系(CPR)は、必要に応じて共有変換テーブル20の内容を参照するが、この場合も、共有変換テーブル20を直接アクセスする方法の他に、変換制御部16を介して共有変換テーブル20へアクセスを行うこともできる。

【0054】このように、変換制御部16は、入力セルのヘッダ変換に際して共有変換テーブル20から内部VPI/VCIを取り出す機能、および交換機の制御系(CPR)からの設定・参照要求に従って共有変換テーブル20へアクセスする機能を有する。以下、変換制御部16の各ブロックの機能を説明する。

【0055】入力ヘッダ解析部41は、入力セルのヘッダ部を参照して、共有変換テーブル20にアクセスするためのアドレスを生成する。すなわち、まず、入力セルのヘッダに収容されるVPI/VCIをラッチする。そして、図6(a)に示すように、その入力VPI(12ビット)をMSB 12ビットに、入力VCI(16ビット)をLSB 16ビットに置くアドレス(合計28ビット)を生成する。この生成されたアドレスは、テーブルアクセス制御部30の入力セルアドレスレジスタ31に保持される。

【0056】テーブルアクセス制御部30は、入力ヘッダ解析部41が生成したアドレスまたは交換機制御系(CPR)からのアクセス要求に際して転送されてくるアドレスを用いて共有変換テーブル20へのリード/ライト・アクセスを制御する。テーブルアクセス制御部30の各ブロックの機能は以下の通りである。

【0057】制御系インタフェース部32は、交換機の制御系(CPR)との間のバスを終端する。交換機の制御系(CPR)からのアクセス要求は、共有変換テーブル20に内部VPI/VCIを設定するためのライトアクセス要求または共有変換テーブル20の内容を参照するリードアクセス要求であり、それらアクセス要求は、例えば、図6(b)に示すようなフォーマットである。「R/Wビット」は、交換機の制御系(CPR)からのアクセス要求が

リードアクセスであるのかライトアクセスかを示すビットであり、たとえば、リードで「0」、ライトで「1」とする。設定アドレスは、共有変換テーブル20に内部I/VCIを設定するときの共有変換テーブル20への書き込みアドレス(SRA)である。参照アドレスは、共有変換テーブル20の内容を参照するときの読出しアドレス(RRA)である。設定データは、共有変換テーブル20に設定する内部VPI/VCIであり、上記の設定アドレスに書き込まれる。なお、共有変換テーブル20の内容を参照するリードアクセスの場合はデータを転送する必要がないので、設定データは「ドント・ケア」である。

【0058】変換制御部16から交換機の制御系(CPR)へ応答する場合は、例えば、図6(c)に示すようなフォーマットでデータが転送される。「R/Wビット」は、このデータ転送が交換機の制御系(CPR)からのリードアクセスに対する応答であるので、リードに固定される。読出しデータは、入力セルのヘッダ変換に際してのリードアクセスまたは交換機の制御系(CPR)からのリードアクセスによって共有変換テーブル20から読み出されたデータ(RRD)であり、内部VPI/VCIである。

【0059】交換機の制御系(CPR)が共有変換テーブル20の設定のためのアクセス要求を発行すると、制御系インタフェース32は、ライトアクセスを指定するR/W指示信号をリード/ライト制御部35に転送するとともに、設定アドレスおよび設定データをそれぞれ設定アドレスレジスタ33および設定データレジスタ34に設定する。一方、交換機の制御系(CPR)が共有変換テーブル20を参照するためのアクセス要求を発行すると、制御系インタフェース32は、リードアクセスを指定するR/W指示信号をリード/ライト制御部35に転送するとともに、参照アドレスを設定アドレスレジスタ33に設定する。また、共有変換テーブル20から読み出したデータを受信した場合にはそのデータを交換機の制御系(CPR)へ転送する。

【0060】リード/ライト制御部35は、共有変換テーブル20へのアクセスのタイミングを制御する。すなわち、リード/ライト制御部35は、入力セルの転送タイミングと同期をとりながら制御系インタフェース32が出力するR/W指示信号に従って、アドレスセクタ36への選択信号を生成するとともに、送受信制御部37に対してリードアクセスまたはライトアクセスを通知する。

【0061】ところで、一般的に、変換制御部16へセルが流入するタイミングと、交換機の制御系(CPR)から共有変換テーブル20へのアクセス要求が発生するタイミングとは互いに非同期である。したがって、入力セルのヘッダ変換のためのアクセスと上記交換機の制御系(CPR)からのアクセスとが同時に要求されることが起こり得る。このような場合には、入力セルのヘッダ変換のアクセスに対して高い優先度を与えることにより、入

力セルのヘッダ変換を確実に実行できるようにする必要がある。

【0062】このため、リード/ライト制御部35は、入力ハイウェイ(図2における個別部11と共通部13との間の伝送路)上でセルと同期しながらそのセルにパラレルに転送されそのセルの先頭位置タイミングを示すセルフフレーム信号を用いて各セルのタイミングを認識する。そして、リード/ライト制御部35は、図7に示すように、ATM交換機内において各セルに対して割り当てられる時間である1セルスロット期間(53τ)を、入力セルのヘッダ変換に伴うアクセスのための期間(期間①)と、交換機の制御系(CPR)から要求に伴うアクセスのための期間(期間②)とに振り分ける。期間②では、入力セルのヘッダ情報から生成したアドレスをキーとして共有変換テーブル20から内部VPI/VCIを読み出す処理を行う。また、期間②では、交換機の制御系(CPR)からのアクセス要求によって共有変換テーブル20へのアクセスを行う。

【0063】リード/ライト制御部35は、アドレスセクタ36に対して、上記期間①および期間②のタイミングを通知するセレクト信号を転送する。また、リード/ライト制御部35は、交換機の制御系(CPR)からのアクセス要求がライトアクセス(共有変換テーブル20への設定)であったときに、そのライトアクセスを受信した直後の期間②において送受信制御部37に対してライトアクセス要求を転送し、それ以外の場合は、すべてリードアクセス要求を転送する。すなわち、入力セルのヘッダ変換に伴うアクセスのために割り当てられている期間①および交換機の制御系(CPR)からのアクセス要求がリードアクセス(共有変換テーブル20の内容の参照)であったときには、送受信制御部37に対してリードアクセス要求を転送する。

【0064】アドレスセクタ36は、リード/ライト制御部35から期間①および期間②のタイミング指示セレクト信号を受信する。期間①においては、入力セルアドレスレジスタ31に格納されているアドレス(入力セルのVPI/VCI)を選択して送受信制御部37へ転送する。一方、期間②においては、設定アドレスレジスタ32に格納されているアドレス(交換機の制御系(CPR)から転送されてきたアドレス)を選択して送受信制御部37へ転送する。したがって、変換制御部16にセルが入力すると、そのセルに対する期間①において、共有変換テーブル20へのリードアクセスアドレスとしてその入力セルのVPI/VCIが送受信制御部37へ転送される。また、交換機の制御系(CPR)からの要求により共有変換テーブル20へのアクセスが発生すると、期間②において交換機の制御系(CPR)が指示するアドレス(設定アドレスまたは参照アドレス)および設定データが送受信制御部37へ転送される。

【0065】送受信制御部37は、上記アドレス、デー

タ、およびR/W アクセス要求に従って共有変換テーブル20へのアクセスを実行する。図8(a)は、入力セルのヘッダ変換に際して共有変換テーブル20から内部VPI/VCIを読み出すためのアクセスにおいて、送受信制御部37から共有変換テーブル20へ転送されるアクセス要求のフォーマットである。ここで、「R/W ビット」はリードアクセスを示す状態に設定され、「入力VPI/VCI」は入力セルのヘッダから取り出したVPI/VCIである。また、「回線番号」は、図2において、回線終端部12を介して変換制御部16に接続される回線の番号であり、たとえば、変換制御部#0(16-0)から共有変換テーブル20へ転送されるアクセス要求には「0」が設定される。なお、各入力回線はそれぞれ回線終端部12に收容されるので、この「回線番号」は、各回線終端部を識別するための番号(入力ポート番号)と同じである。

【0066】図8(b)は、交換機の制御系(CPR)からの要求によって共有変換テーブル20へアクセスするときに、送受信制御部37から共有変換テーブル20へ転送されるアクセス要求のフォーマットである。「R/W ビット」、「設定アドレスまたは参照アドレス」および「設定データ」は、交換機の制御系(CPR)から転送されてきたものと同じである。

【0067】図8(a)または(b)に示すアクセス要求は、共有変換テーブル20と変換制御部16とを接続するバス上に出力される。共有変換テーブル20は、図8(a)に示すアクセス要求を受信すると、そのアクセス要求に設定されている「入力VPI/VCI」をキーとして内部VPI/VCIを読み出す。また、図8(b)に示すアクセス要求のうち「R/W ビット」がリードアクセスを示す状態に設定されたものを受信すると、その「参照アドレス」をキーとして内部VPI/VCIを読み出す。そして、共有変換テーブル20は、図8(c)に示すように、読み出した内部VPI/VCI(読出しデータ)に、上記アクセス要求を発行した変換制御部16の回線番号(ポート番号)を付加して、共有変換テーブル20と変換制御部16とを接続するバス上に出力する。

【0068】なお、共有変換テーブル20は、図8(b)に示すアクセス要求のうち「R/W ビット」がライトアクセスを示す状態に設定されたものを受信すると、その設定アドレスに対応する領域に「設定データ」を書き込む。

【0069】変換制御部16の送受信制御部37は、共有変換テーブル20からバスを介して転送されてくる図8(c)に示すデータを受信すると、そこに格納されている回線番号が自己の回線番号と一致した場合にそのデータを取り込む。送受信制御部37は、共有変換テーブル20からの読出しデータが、入力セルのヘッダ変換のためのデータであるのか、交換機の制御系(CPR)からの要求によって読み出されたデータであるのかを認識している。そして、入力セルのヘッダ情報変換のためのデー

タを受信した場合には、そのデータをヘッダ変換部43へ転送し、そこでセルのヘッダ変換を行う。すなわち、入力セルのVPI/VCIを共有変換テーブル20から読み出した内部VPI/VCIに書き換える。なお、変換制御部16に入力したセルは、遅延回路42によって共有変換テーブル20へのアクセスに要する時間だけ遅延されてヘッダ変換部43へ転送される。交換機の制御系(CPR)からの要求によって読み出されたデータを受信した場合には、その読出しデータを制御系インタフェース32を介して交換機の制御系(CPR)へ転送する。

【0070】変換制御部16から共有変換テーブル20へのアクセス制御についてまとめたものを以下に示す。

・入力セルのヘッダに格納されている入力VPI/VCIを用いて共有変換テーブル20にリードアクセスを行い、対応する内部VPI/VCIを得る。

・交換機の制御系(CPR)が共有変換テーブル20に内部VPI/VCIを設定するときには、交換機の制御系(CPR)が発行するアクセス要求に格納されている設定アドレスを用いて共有変換テーブル20へライトアクセスを行い、その設定アドレスに対応する領域に設定データを書き込む。

・交換機の制御系(CPR)が共有変換テーブル20の内容を参照するときには、交換機の制御系(CPR)が発行するアクセス要求に格納されている参照アドレスを用いて共有変換テーブル20へリードアクセスを行い、その参照アドレスに対応する領域からデータ(内部VPI/VCI)を読み出す。

【0071】なお、上記実施例では、内部VPI/VCIを28ビットの情報として説明したが、サーチを容易にするために、28ビットよりも短い情報に圧縮するような構成としてもよい。

【0072】図9は、ATMスイッチの出力側の回線インタフェース装置内に設けられる変換制御部51の構成図である。変換制御部51は、基本的に変換制御部16と同じ構成である。変換制御部51は、共有変換テーブル52にアクセスし、ATMスイッチから出力されたセルのヘッダに格納されている内部VPI/VCIを出力VPI/VCIに変換して出力回線へ出力する。

【0073】次に、複数の変換制御部16と共有変換テーブル20との間のインタフェースを説明する。なお、以下では、ATMスイッチの入力側のVCCについて説明をするが、ATMスイッチの出力側のVCCについても基本的に同じである。すなわち、変換制御部51と共有変換テーブル52との間のインタフェースについても同様の構成である。

【0074】図10は、変換制御部16と共有変換テーブル20との間のインタフェースを説明する図である。変換制御部#0~#3(16-0~16-3)は、それぞれシリアルバス65に接続されている。一方、共有変換テーブル20は、変換制御部#0~#3(16-0~

16-3) にそれぞれ対応してインタフェース部#0～#3 (60-0～60-3) を有し、各インタフェース部#0～#3 (60-0～60-3) がシリアルバス65に接続されている。

【0075】変換制御部#0 (16-0) は、共有変換テーブル20へアクセスするとき、図8(a) または(b) に示すフォーマットのアクセス要求をシリアルバス65上に出力する。このアクセス要求には、回線番号(入力ポート番号)として「0」が設定されている。このアクセス要求は、インタフェース部#0～#3 (60-0～60-3) に転送されるが、その回線番号が「0」であるので、インタフェース部#0 (60-0) のみによって取り込まれる。

【0076】インタフェース部#0 (60-0) が上記アクセス要求を取り込むと、テーブル制御部71がその旨を認識し、そのアクセス要求に従ってテーブル72をアクセスする。そして、上記アクセス要求がリードアクセスであった場合には、テーブル72から読み出したデータをインタフェース部#0 (60-0) に渡す。

【0077】インタフェース部#0 (60-0) は、図8(c) に示すフォーマットのデータを作成してシリアルバス65上に出力する。ここで、回線番号は「0」が設定されている。インタフェース部#0 (60-0) から出力されたデータは、変換制御部#0～#3 (16-0～16-3) に転送されるが、その回線番号が「0」であるので、変換制御部#0 (16-0) のみによって取り込まれる。

【0078】このようにして、変換制御部#0 (16-0) から共有変換テーブル20へアクセスが実行される。なお、変換制御部#1～#3 (16-1～16-3) から共有変換テーブル20へのアクセスも同じである。

【0079】図10において、変換制御部#0～#3 (16-0～16-3) は、例えば、回線インタフェース装置10の共通部13内の0系共通部14に属する。また、図10に示す共有変換テーブル20は、0系共有変換テーブル21または1系共有変換テーブル22のうち的一方であり、ここでは、0系共有変換テーブル21とする。この場合、0系共通部14内の各変換制御部#0～#3 (16-0～16-3) が0系共有変換テーブル21へアクセスすると同時に、1系共通部15内の各変換制御部#0～#3は、1系共有変換テーブル22へ全く同じアクセスを行う。

【0080】図11は、共有変換テーブル20の構成図である。共有変換テーブル20は、変換制御部#0～#3 (16-0～16-3) に対応して、すなわち回線#0～#3に対応して4個のインタフェース部#0～#3 (60-0～60-3) を有する。各インタフェース部#0～#3 (60-0～60-3) は、基本的に同じ動作をするので、ここでは、インタフェース部#0 (60

-0) の動作を説明する。

【0081】インタフェース部#0 (60-0) は、変換制御部#0～#3 (16-0～16-3) からシリアルバス65を介して転送される図8(a) または(b) に示す形式のデータを受信すると、「回線番号」をチェックし、その回線番号が「0」であるデータのみを取り込む。すなわち、変換制御部#0 (16-0) から出力されたデータを取り込む。

【0082】シリアル/パラレル変換部61は、上記取り込んだ受信データをパラレル形式に変換し、受信データレジスタ62に格納すると同時に、テーブル制御部71に対して受信割込み信号を転送する。受信データレジスタ62は、テーブル制御部71内のプロセッサ74のプロセッサバス73の配下に収容されており、プロセッサ74によってリードアクセスされる。送信データレジスタ63およびパラレル/シリアル変換部64については、後述する。

【0083】テーブル制御部71は、出力ヘッダ情報を格納するテーブル72に対してリード/ライトアクセスを行うブロックであり、インタフェース部#0～#3 (60-0～60-3) が受信したデータの入力VPI/VC I (または設定アドレス) をキーアドレスとして、テーブル72からヘッダ情報を検索し、そのヘッダ情報をインタフェース部#0～#3 (60-0～60-3) へ転送する。

【0084】割込み制御部75は、インタフェース部#0～#3 (60-0～60-3) から転送される割込み信号を調停し、プロセッサ74に対して割込みをかける。たとえば、上述のようにしてインタフェース部#0 (60-0) が受信割込み信号を転送すると、割込み制御部75は、プロセッサ74に割込みをかけることによってその旨を通知する。プロセッサ74は、この割込みによって、インタフェース部#0が変換制御部#0 (16-0) からデータを受信したことを認識し、インタフェース部#0 (60-0) 内の受信データレジスタ62からデータを読み出す。そして、その読み出したデータの入力VPI/VC I (または設定アドレス) に従ってテーブル72をアクセスし、ヘッダ情報(内部VPI/VC I)を取り出す。さらに、プロセッサ74は、このヘッダ情報(内部VPI/VC I)をインタフェース部#0 (60-0) 内の送信データレジスタ63に書き込む。なお、メモリ76は、上記処理におけるプロセッサ74の作業用RAMであるが、テーブル72をアクセスするためのインデックスメモリとしても使用される。インデックスメモリについては後述する。

【0085】送信データレジスタ63は、プロセッサバス73の配下にある。そして、送信データレジスタ63は、テーブル制御部71のプロセッサ74によって書き込まれたヘッダ情報(内部VPI/VC I)を保持する。パラレル/シリアル変換部64は、送信データレジスタ63

に格納されたデータをシリアルデータに変換して、シリアルバス65に送出する。この送出が完了したら、テーブル制御部71のプロセッサ74に対して送信割込みをかける。

【0086】尚、テーブル制御部71は、交換機の制御系(CPR)ともインタフェースし、テーブル72へのデータ追加・削除を行う。すなわち、この実施例のヘッダ変換機能部(VCC)は、変換制御部16を介してテーブル72のデータ書換えを行うだけでなく、交換機の制御系(CPR)から変換制御部16を介することなくテーブル72のデータ書換えを行うことも可能である。また、テーブル制御部71は、二重化された他系のテーブル制御部ともインタフェースし、後述するVCCコピーを行う。すなわち、図11に示す共有変換テーブル20が0系共有変換テーブル21であるとする、同図に示すテーブル制御部71は、1系共有変換テーブル22内に設けられるテーブル制御部71と接続する。

【0087】次に、ヘッダ情報(内部出力VPI/VCI)を格納するテーブルの構成方法を説明する。すなわち、図10または図11に示すテーブル72の構成を説明する。テーブル72は、複数の入力回線を介して入力されるセルのヘッダ変換のためのヘッダ情報(内部VPI/VCI)を格納する。テーブル72のハードウェア構成としては、様々な方式が考えられるが(例えば、直線的にアドレスを割りつけたメモリ、或いはインデックスメモリをもつ二段構成メモリなど)、これはATM交換機の規模に応じて自由に設計できる。以下では、テーブル72の記憶領域を各回線に固定的に割り当てる固定割当方式、および各回線の使用状況に応じてテーブル72の記憶領域を動的に変化させながらに割り当てる動的割当方式について説明する。

【0088】図12は、固定割当方式におけるテーブル構成を説明する図である。固定割当方式では、図12(a)に示すように、テーブル72の記憶領域を一定アドレス毎に分割し、各記憶領域を各回線(図2では、#0~#3)に固定的に割り当てる。本実施例では、テーブル72の記憶領域をその先頭から32アドレス毎のブロックに分割し、それら各記憶領域を回線#0~#3に対して占有的に割り当てる。この構成によれば、各回線ごとに32種類の入力VPU/VCIについてのヘッダ変換を行うことができる。

【0089】テーブル72のデータフィールドは、図12(b)に示すように、57ビット長であり、セットビット、入力ヘッダ情報、変換情報(出力ヘッダ情報)から構成される。

【0090】セットビットは、テーブル72のアドレスに対応して設定するビットであり、そのアドレスに有効な情報が設定されているか否かを表示し、有効データが格納されているときに「1」が設定される。一方、セットビットが「0」である場合は、そのアドレスにはヘッ

ダ情報が未設定であることを表す。テーブル制御部71がテーブル72のあるアドレスにヘッダ情報を設定するときに、そのアドレスに対応するセットビットに「1」が書き込まれ、そのアドレスの設定を解除(削除)する時に「0」が書き込まれる。

【0091】変換テーブル72のデータフィールドは、入力ヘッダ情報と出力ヘッダ情報とを1組にして格納する。そして、テーブル制御部71は、受信データレジスタ62から読み出したデータの入力VPI/VCIとデータフィールド内の入力ヘッダ情報とが一致するレコードを検索する。たとえば、回線#0からセルが入力され、インタフェース部#0(60-0)が受信割込み信号を発生させると、テーブル制御部71のプロセッサ74は、インタフェース部#0(60-0)の受信データレジスタに格納されている上記入力セルの入力VPI/VCIを読み出してメモリ76に格納する。続いて、変換テーブル72において回線#0に対して割り当てられている記憶領域(アドレス0~1F)を検索する。この時、セットビットが「1:有効データが格納されている」に設定されているレコードのみを検索する。そして、上記入力セルの入力VPI/VCIとテーブル72のデータフィールド内の入力VPI/VCIとが一致するレコードの出力ヘッダ情報を取り出す。この出力ヘッダ情報は、上記入力セルのヘッダ変換に使用する内部VPI/VCIであり、インタフェース部#0(60-0)を介して変換制御部16-0へ転送される。

【0092】このように、固定割当方式では、入力セルの入力VPI/VCIを用いてテーブルを直接参照して内部VPI/VCIを取り出す。このため、プロセッサ74に処理は、簡単になる。

【0093】図13は、第1の動的割当方式におけるテーブル構成を説明する図である。第1の動的割当方式では、テーブル制御部71内のメモリ76を用いてインデックステーブルを設け、そのインデックステーブルを利用してテーブル72の所定領域にアクセスする。ここでは、8本の入力回線#0~#7に対して共有変換テーブル20を設け、それら8本の入力回線#0~#7から入力されるセルのヘッダ変換に使用する内部VPI/VCIをその共有変換テーブル20内のテーブル72に格納した場合を0として説明する。

【0094】第1の動的割当方式では、図13に示すように、テーブル72を対応する入力回線数よりも多くのブロックに分割している。すなわち、入力回線数8本に対してテーブル72を16ブロックに分割している。そして、各入力回線#0~#7に対してブロック0~15を割り当てる。また、必要に応じて、1本の入力回線に対して複数のブロックを割り当てることができる。

【0095】上記方式でブロックの割当を行う場合、各入力回線#0~#7とブロック0~15との対応関係は固定されていないので、その対応関係をインデックスステ

ープルに格納し、割当がかわるごとにそのインデックステーブルを書き換える方式を採用する。

【0096】インデックステーブルは、回線番号(カード) #0~#7ごとに16ビットのデータフィールドが設けられ、そのデータフィールドの各ビットがテーブル72の各ブロック0~15に対応している。即ち、各データフィールドのMSBがブロック15に対応し、LSBがブロック0に対応している。図13に示す例では、入力回線#0に対してテーブル72の3つのブロック0、8および9が割当てられている。また、インデックステーブルは、テーブル72の各ブロックへのポインタを格納している。したがって、たとえば、入力回線#0を介して受信した入力セルのヘッダ変換に伴ってテーブル72をアクセスする場合、インデックステーブルを参照することにより、ブロック0、8および9を指すポインタを取り出すことができる。

【0097】第1の動的割当方式のテーブル72の各ブロックに格納されるデータは、図12を用いて説明した固定割当て方式のデータ構成と同じである。すなわち、入力ヘッダ情報と出力ヘッダ情報とが1組になって格納されている。そして、上述のように、入力回線#0に対してブロック0、8、9が割当てられている場合、入力回線#0から入力するセルの入力VPI/VC Iとそのセルのヘッダ変換に使用する内部VPI/VC I とが1組に対応づけられてブロック0、8、9のいずれかに格納される。

【0098】第1の動的割当方式の各ブロックは、図12に示した固定割当て方式の各ブロックよりも小さく、たとえば、各ブロック0~15は、それぞれ8個のレコードを持つものとし、以下にブロックの割当て方法を説明する。

【0099】テーブル72は、呼の設定時に交換機の制御系(CPR)によって入力VPI/VC Iとその入力VPI/VC Iに対応する内部VPI/VC I とが1組になって書き込まれる。そして、呼の切断時に、その呼の対して書き込まれたデータが削除される。たとえば、入力回線#1に対してブロック1が割当てられている場合、入力回線#1上に新たに呼を設定するときにブロック1内の空きレコードに、その呼に対応する入力VPI/VC I および内部VPI/VC I が書き込まれる。ここで、各ブロックは8レコード構成なので、入力回線#1上に同時に8種類以上の呼を設定する場合には、未使用ブロック(たとえば、ブロック15)を入力回線#1に割り当てる。

【0100】1本の回線に対して複数のブロックが割当てられている期間に、呼の切断等によってその回線上に同時に設定される呼の数が減少した場合には、レコードの「並べ替え」を行う。例えば、入力回線#1に対してブロック1および15が割当てられているときに、ブロック1に7つの入力VPI/VC I および内部VPI/VC I が設定され、ブロック15に1つの入力VPI/VC I および内部VPI/VC I が設定されているとすると、ブロック15に設定

されている入力VPI/VC I および内部VPI/VC I をブロック1に書き込む。そして、ブロック15を入力回線#1から開放し、他の任意の入力回線に割り当てられる状態にする。この結果、入力回線#1に対しては、ブロック1のみが割り当てられた状態となる。

【0101】このように、第1の動的割当方式では、各回線の使用状況に応じてテーブル72のブロックが割り当てられる。第1の動的割当方式におけるテーブル72へのアクセス動作を説明する。ここでは、テーブル72は16ブロックに分割され、各ブロックは8アドレス(8レコード)を持つ。そして、入力回線#0から入力されたセルのヘッダ変換を行う場合を説明する。

【0102】入力回線#0からセルが入力されると、そのセルのヘッダに格納されている入力VPI/VC I がリードアクセス要求とともに共有テーブル20に転送される。共有テーブル20では、インタフェース部#0(60-0)が上記データを受信し、上記セルの入力VPI/VC I を受信データレジスタ62に格納するとともに、プロセッサ74に対して受信割込み信号を転送する。プロセッサ74は、この受信割込み信号により、受信データレジスタ62から入力VPI/VC I を読み出してメモリ76に格納する。そして、インデックステーブルの回線番号(カード)が「0」に設定されているブロックをリードし、ブロック0、8および9について「1」が設定されていることを認識すると、プロセッサ74は、テーブル72のブロック0、8および9に対してアクセスし、上記入力VPI/VC I に対応する内部VPI/VC I を取り出す。なお、ブロック内の検索方法は、図12を用いて説明した固定割当て方式の場合と同様である。テーブル72から取り出された内部VPI/VC I は、インタフェース部#0(60-0)を介して変換制御部#0(16-0)に転送される。そして、変換制御部#0(16-0)は、入力VPI/VC I を内部VPI/VC I に書き換えるヘッダ変換を行う。

【0103】第1の動的割当方式におけるテーブル72の大きさ(メモリ容量)について説明する。ここでは、各入力回線(#0~#7)から入力されるセルのVPI/VC I 数(同時に設定される呼の数)の平均値及び最大値がわかっているものとする。

【0104】図22~図25を参照しながら説明した従来の方式(入力回線毎に内部VPI/VC I を格納するテーブルを設ける構成)では、各入力回線ごとにすべてのヘッダ変換を確実にを行うためには、任意の入力回線において入力セルのVPI/VC I 数とその最大値になる可能性があることを考慮し、上記最大値に対応する数の内部VPI/VC I を各テーブルに格納できるようにしておかなければならない。

【0105】一方、第1の動的割当方式では、各回線に対して必要に応じてテーブル72のブロックを割り当てるので、各回線に対して無駄なメモリ領域を割り当てることはない。また、すべての回線(#0~#7)の使用

率が同時に高くなることは稀であり、使用率が高い回線と低い回線とが混在するのが一般的であるので、上記8本の回線から入力されるセルのVPI/VCI 数（同時に設定される呼の数）の合計を上記平均値の8倍と見なすことができる。このため、上記8本の回線に対してテーブル72を設ける構成では、そのメモリ容量を、上記VPI/VCI 数の平均値の8倍に対応する数の内部VPI/VCI を格納できる程度の大きさとすればよい。したがって、テーブル72の大きさ（メモリ容量）を小さくできる。

【0106】図14は、第2の動的割当方式におけるテーブル構成を説明する図である。第2の動的割当方式は、第1の動的割当方式と同様に2段検索ではあるが、1段目にCAM (Contents Addressable Memory) を用い、テーブル72を複数のブロックには分割しない。また、図14(a) に示すように、CAM のアドレスとテーブル72のアドレスとを1対1に対応させる。CAM は、たとえば、メモリ76内に設ける。

【0107】CAM のデータフィールドには、「回線番号+入力ヘッダ情報」を格納する。この「回線番号+入力ヘッダ情報」は、図14(b) に示すように、4ビットの回線番号（ポート番号）、12ビットの入力VPI、および16ビットの入力VCI とから構成される。この実施例では、回線番号を識別するために4ビットが割り当てられており、最大16本の回線（16個の変換制御部）によってテーブルが共有される。

【0108】テーブル72のデータフィールドには、変換情報のみを格納する。この変換情報は、図14(c) に示すように、ヘッダ変換に使用される内部VPI/VCI であり、そのデータ長は28ビットである。

【0109】第2の動的割当方式におけるテーブル72へのアクセス動作を説明する。初めに、交換機の制御系（CPR）がテーブル72に対して変換情報を設定する場合を説明する。以下では、入力VPI=A および入力VCI=B を持ったセルが回線#Xから入力されたときに、その入力VPI/VCI を内部VPI=C および内部VCI=D に変換させるための情報をテーブル72に設定する。

(1) 交換機の制御系（CPR）から受信した情報をもとに、テーブル制御部71のプロセッサ74は、CAM に設定するデータフィールドを作成する。すなわち、データ「XAB」を作成する。ここで、Xは回線番号であり、A

(2) データ「XAB」をCAM に設定する。すなわち、CAM にデータ「XAB」を書き込む。CAM は空きデータフィールドにデータ「XAB」を設定し、同時にそのデータを設定したアドレスを出力する。この時のアドレスを「2」とする。

(3) プロセッサ74は、CAM から得られたアドレス「2」を用いてテーブル72においてアドレス「2」が示すデータフィールドに交換機の制御系（CPR）から受信した変換情報を設定する。すなわち、データ「CD」を

書き込む。

【0110】次に、変換制御部16が入力セルのヘッダ変換に際して、入力VPI/VCI をキーとしてテーブル72から内部VPI/VCI を取り出す処理を説明する。以下では、回線#Xから入力VPI=A および入力VCI=B を持ったセルが入力し、そのセルのヘッダ変換を行うために内部VPI/VCI を取り出すときの処理を示す。

(1) 回線#Xから上記セルが入力すると、変換制御部#X(16)は、図8(a)に示す形式のデータに入力VPI/VCI として「AB」を格納して共有変換テーブル20に転送する。そして、共有変換テーブル20のインタフェース部#Xは、テーブル制御部71のプロセッサ74に対して受信割込み信号を転送して割り込みをかける。

(2) プロセッサ74は、インタフェース部#Xの受信データレジスタ62に格納されているデータを読み出し、入力ヘッダ情報（入力VPI=A および入力VCI=B）を得る。

(3) プロセッサ74は、上記(2)で得られた情報を基に、CAM を検索するためのデータフィールド値を作成する。本例の場合は、回線#Xから入力されたセルのヘッダ変換であるので、データ「XAB」が作成される。

(4) プロセッサ74は、データ「XAB」を用いてCAM にリードアクセスを行う。CAM はデータ「XAB」に一致するデータフィールドのアドレスを出力する。本例では、アドレス「2」が得られたとする。

(5) プロセッサ74は、テーブル72においてアドレス「2」に対応するデータフィールドをリードし、出力ヘッダ情報「CD」（内部VPI=C および内部VCI=D）を得る。

(6) プロセッサ74は、上記(5)で得られた出力ヘッダ情報をインタフェース部#Xの送信データレジスタ63に設定する。そして、インタフェース部#Xは、送信データレジスタ63に格納されているデータを変換制御部#X(16)へ転送し、転送が完了したときにプロセッサ74に送信割込み信号を転送することによって送信割込をかける。

(7) プロセッサ74が上記送信割込を受けると、共有変換テーブル20の処理は終了する。

【0111】この後、変換制御部#X(16)は、入力セルのVPI/VCI をテーブル72から読み出した出力ヘッダ情報（内部VPI=C および内部VCI=D）に書き換えるヘッダ変換を行う。

【0112】このように、第2の動的割当方式では、CAM を用い、CAM のアドレスとテーブル72のアドレスとを1:1に対応させているので、プロセッサ74は出力ヘッダ情報を検索するときにテーブル72をサーチする必要がない。このため、出力ヘッダ情報を取り出すための処理が高速化される。

【0113】上述のように、第1または第2の動的割当方式でテーブル72を構成すれば、各回線（回線終端

部)の使用率がそれぞれ時間経過とともに変化する場合においても、その使用率に応じてテーブル72の記憶領域を適切に割り振ることができる。このため、任意の回線に対して割り当てたテーブルの未使用記憶領域が少なくなり、従来の構成のように回線ごとにテーブルを設ける構成と比べてメモリの規模を小さくすることができる。尚、テーブルの記憶領域を動的に割り当てることにより、各変換制御部16から受信した入力ヘッダ情報をそのままアドレスとして使用することはできなくなるが、この場合、入力ヘッダ情報からテーブルの実アドレスへ変換する処理はテーブル制御部71で一括して行われる。このように、共有変換テーブル20を各回線で共用することにより、従来の分散配置構成と比べて共有変換テーブル20の使用効率を高くすることができる。

【0114】なお、上記実施例では、ATMスイッチの入力側におけるヘッダ変換を説明したが、出力側においても同じである。次に、0系共有変換テーブル21と1系共有変換テーブル22との間でのVCCコピーについて説明する。

【0115】共有変換テーブル20は、図2に示したように、互いに同一のデータを格納した0系共有変換テーブル21および1系共有変換テーブル22から構成されている。ところが、たとえば、1系共有変換テーブル22をメンテナンス等のためにいったんアウトオブサービス状態にし、修理または交換した後に1系共有変換テーブル22をインサービス状態とするような場合がある。このとき、1系共有変換テーブル22のテーブル72

(72-1とする)の内容は、0系共有変換テーブル21のテーブル72(72-0とする)の内容と一致していない(通常、1系共有変換テーブル22はリセットされている)。このため、0系共有変換テーブル21および1系共有変換テーブル22の各テーブルの内容を一致させるために、テーブル72-0の内容をテーブル72-1に書き込む処理が必要となる。この処理をVCCコピーを呼ぶ。以下では、両系の間の交絡バスを分離・接続する方式、およびデュアルポートメモリを用いる方式について説明する。

【0116】図15は、0系のテーブルと1系のテーブル間を交絡バスを用いて接続する方式を説明する図である。0系共有変換テーブル21と1系共有変換テーブル22との間には、両系のテーブル制御部71どうしが交絡バス77によって相互に接続されている。図15において、各系のプロセッサ74をそれぞれ74-0および74-1とする。そして、プロセッサ74-0とテーブル72-0との間、プロセッサ74-1とテーブル72-1との間はそれぞれスイッチ78-0および78-1を介して接続されている。また、両系の間は、スイッチ79-0および79-1を介して接続されている。これら各スイッチの開閉は、交換機の制御系(CPR)からの指示によって制御される。

【0117】図15(a)は、通常状態を示す。通常状態においては、スイッチ78-0および78-1が接続状態となっており、スイッチ79-0および79-1が分離状態となっている。このため、各系のテーブル72-0、72-1は、それぞれ自系のプロセッサ74-0、74-1の配下にある。

【0118】図15(b)は、0系から1系へのVCCコピー時の状態を示す図である。0系から1系へのVCCコピー時には、スイッチ78-0、79-0、79-1を接続状態とし、スイッチ78-1を分離状態とする。すなわち、両系のテーブル72-0、72-1が0系のプロセッサ74-0の配下になる。0系のプロセッサ74-0は、交換機の制御系(CPR)からのVCCコピー開始指示に従って、自系のテーブル72-0データを読みしてそのデータを他系のテーブル72-1へ書き込む。

【0119】図16は、0系と1系との間にデュアルポートメモリを設けてVCCコピーをする方式を説明する図である。この方式では、0系共有変換テーブル21および1系共有変換テーブル22がそれぞれデュアルポートメモリ80-0、80-1を有する。

【0120】図16(a)は、通常状態を示す。通常状態においては、各系のプロセッサ74-0、74-1は、それぞれ自系のテーブル72-0、72-1に対してのみアクセスし、デュアルポートメモリ80-0、80-1にはアクセスしない。

【0121】図16(b)は、0系から1系へのVCCコピー時の状態を示す図である。0系から1系へのVCCコピー時には、両系のプロセッサ74-0及び74-1は、それぞれ交換機の制御系(CPR)からのVCCコピー開始指示に従って、以下の処理を行う。すなわち、プロセッサ74-0は、自系のテーブル72-0からデータを読み出し、そのデータを1系のデュアル・ポートメモリ80-1へ書き込む。一方、プロセッサ74-1は、1系デュアル・ポートメモリ80-1からデータを読み出し、そのデータを自系テーブル72-1へ書き込む。

【0122】このように、本実施形態の共有変換テーブル方式においてVCCコピーを行う場合、交換機の制御系(CPR)は、プロセッサ74-0及び74-1に対してVCCコピー開始を指示するのみであり、以降の処理は、0系共有変換テーブル21および1系共有変換テーブル22内に設けられた各プロセッサ74-0および74-1が行う。

【0123】また、図2に示すように、共有変換テーブル20を回線インタフェース装置10から分離して設けたので、回線インタフェース装置10のメンテナンスを行う場合や、0系共通部14または1系共有部15の修理・交換を行う場合、0系共有変換テーブル21および1系共有変換テーブル22に格納されている情報は保持されるので、0系共有変換テーブル21と1系共有変換テーブル22との間でVCCコピーをする必要がない。一

般に、回線インタフェース装置10の処理を停止してアウトオブサービス状態とする要因としては、装置の増設などの共有変換テーブル20とは直接関係のない処理によることが多いので、そのような処理に際してVCCコピーを不要とすることは、交換機全体の保守時間の短縮に大きく寄与する。

【0124】さらに、上述したように、複数の回線に対して1つの共有変換テーブル20を設け、特に、各回線に対してテーブル72の記憶領域を動的に割り当てると、ヘッダ変換情報を格納するテーブルが小さくなるので、VCCコピー時間が短縮される。また、VCCコピーに際して、一方の系のテーブル72に格納されている全データをコピーするのではなく、例えば、図12に示した「セットビット」を用いて、有効データが格納されているレコードのみをコピーするようにすれば、さらにVCCコピー時間を短縮できる。

【0125】図17は、ATMスイッチの入力側に設けられる変換制御部16の他の実施例の構成図である。図5および図17において、同じ符号は同じブロックを示す。図17において、送受信制御部91は、図5に示す送受信制御部37の機能に加えて、キャッシュメモリ92へのアクセス制御を行う。キャッシュメモリ92は、共有変換テーブル20内のテーブル72と比べて遥かに小さい記憶容量にメモリであり、テーブル72から読み出したヘッダ情報を格納する。

【0126】以下、図18のフローチャートを参照しながら、図17に示す変換制御部16の動作を説明する。ステップS1は、回線からセルが入力されるのを待つ。セルが入力されると、ステップS2において、入力ヘッダ解析部41はその入力セルのヘッダ情報を解析し、入力VPI/VCIを取り出す。つづいて、ステップS3において、送受信制御部91は、上記入力VPI/VCIに対応するデータがキャッシュメモリ92に格納されているか否かをチェックする。

【0127】入力VPI/VCIに対応するデータがキャッシュメモリ92に格納されていれば（キャッシュヒット）、ステップS4において、送受信制御部91は、キャッシュメモリ92から上記入力VPI/VCIに対応する出力ヘッダ情報（内部VPI/VCI）を取り出して、ヘッダ変換部43へ転送する。そして、ステップS5において、入力セルのヘッダの入力VPI/VCIを内部VPI/VCIに書き換えるヘッダ変換を行い次の入力セルを待つためにステップS1へ戻る。

【0128】一方、ステップS3で、入力VPI/VCIに対応するデータがキャッシュメモリ92に格納されていない（キャッシュミス）と判断された場合は、ステップS11において、送受信制御部91は、共有変換テーブル20から出力ヘッダ情報（内部VPI/VCI）を読み出す。続いて、ステップS12では、キャッシュメモリ92に空領域があるか否かをチェックする。キャッシュメモリ

92に空領域がなければ、ステップS13において、キャッシュメモリ92内に格納されているデータの一部を廃棄する。キャッシュメモリ92に空領域があれば、ステップS13の処理をスキップする。ステップS14において、送受信制御部91は、共有変換テーブル20から読み出した出力ヘッダ情報（内部VPI/VCI）をキャッシュメモリ92に書き込み、上記ステップS5に進んでヘッダ変換処理を行う。

【0129】なお、上記ステップS13において、データ廃棄を行っているが、どのデータを廃棄するのかを決定するアルゴリズムとしては、最も近い過去にアクセスした情報を廃棄する方式、あるいは、キャッシュメモリ92の先頭番地に戻って順次廃棄する方式で行う。また、ランダムに廃棄する方式や、アクセス回数が少ないデータを廃棄するようにしてもよい。

【0130】このように、図17に示す回線インタフェース装置10内の変換制御部16に小容量のキャッシュメモリ92を設け、そこに出力ヘッダ情報（内部VPI/VCI）を格納するので、ヘッダ変換に必要なデータがキャッシュメモリ92に格納されていた場合には、共有変換テーブル20へのアクセスは実行されない。したがって、複数の回線によって共有される共有変換テーブル20およびシリアルバス65の輻輳を防ぐことができる。

【0131】また、キャッシュメモリ92の容量は小さいので、格納できる出力ヘッダ情報（内部VPI/VCI）の数は少ないが、一般に、ATMにおいては、同一VPI/VCIを持ったセルが連続して転送されることが非常に多いので、キャッシュメモリ92にヒットする確率は高く、共有変換テーブル20が輻輳することはない。

【0132】ところで、前述したように、回線インタフェース装置10の共通部13は、0系共通部14および1系共通部15からなる2重化構成であり、0系共通部14および1系共通部15それぞれに対して同一回線に対応する変換制御部16が設けられるので、回線インタフェース装置10は、0系変換制御部および1系変換制御部を有することになる。そして、0系変換制御部および1系変換制御部はそれぞれキャッシュメモリ92を有する。ここで、0系共通部14および1系共通部15のうちの一方を、例えば修理・交換等によっていったんアウトオブサービス状態とした後にインサービス状態に戻す場合、そのキャッシュメモリ92の内容が消去されるが、両系のキャッシュメモリ92間でのコピーは行わない。これは、インサービス化に要する時間を長くしないためである。

【0133】図19は、ATMスイッチの出力側に設けられる変換制御部51の他の実施例の構成図である。図19に示す変換制御部51は、基本的に図17に示す変換制御部16と同じ構成である。また、図19に示す変換制御部51は、ATMスイッチから出力されたセルのヘッダに格納されている内部VPI/VCIを、そのセルを出力回

線に出力する際に付与される出力VPI/VC1に変換するが、内部VPI/VC1をキーとして出力VPI/VC1を取り出すときの処理は、図18のフローチャートを参照しながら説明した通りである。

【0134】

【発明の効果】本発明によれば、セルのヘッダ変換に必要な情報を格納するテーブルを複数の回線に対して1つ設ける構成としたので、そのテーブルの使用効率が向上し、ハードウェア規模が小さくなる。また、この構成において、回線の使用状況に応じて上記テーブルの記憶領域を各回線に対して割り当てるので、各回線ごとの未使用記憶領域を小さくすることができ、テーブルの使用効率がさらに向上する。この結果、コストが低下する。

【0135】2重化系構成の交換システムにおいて、上記テーブルを回線インタフェース装置から分離して設けたので、回線インタフェース装置の修理・交換等に際して一方の系のテーブルの内容を他方の系のテーブルにコピーする処理が不要となり、システムの保守時間を大幅に短縮できる。

【図面の簡単な説明】

【図1】本発明の原理を説明する図である。

【図2】本発明の一実施例の構成図であり、スイッチの入力側に設けられたヘッダ変換機能部を示す。

【図3】変換制御部と共有変換テーブルとの間の接続構成を説明する図であり、(a)はバス接続、(b)はリング接続を示す。

【図4】本発明の一実施例の構成図であり、スイッチの出力側に設けられたヘッダ変換機能部を示す。

【図5】スイッチの入力側に設けられる変換制御部の構成図である。

【図6】(a)は入力セルから抽出されたデータ、(b)は交換機の制御系から転送されたデータ、(c)テーブルから読み出したデータのフォーマットを示す図である。

【図7】変換制御部内において、入力セルに対する処理に使用する期間および交換機の制御系の処理に使用する期間のタイミングを示す図である。

【図8】変換制御部と共有変換テーブルとの間で転送されるデータのフォーマットを示す図であり、(a)は入力セルヘッダ変換に対するリードアクセス、(b)は交換機の制御系からの要求に対するリード/ライトアクセス、(c)はリードアクセスによって共有変換テーブルから読み出されたデータを示す。

【図9】スイッチの出力側に設けられる変換制御部の構成図である。

【図10】変換制御部と共有変換テーブルとのインタフェースを説明する図である。

【図11】本発明の一実施例の共有変換テーブルの内部構成図である。

【図12】固定割当方式におけるテーブル構成を説明する図であり、(a)はアドレス割当を示し、(b)はテーブルに格納されるデータを示す。

【図13】第1の動的割当方式におけるテーブル構成を説明する図である。

10 【図14】第2の動的割当方式におけるテーブル構成を説明する図であり、(a)はテーブル構成図、(b)はCAMに格納するデータの構成図、(c)はテーブル格納するデータの構成図である。

【図15】両系間の交絡バスを分離・接続する方式を説明する図であり、(a)は通常状態、(b)VCCコピー状態を示す。

【図16】両系間にデュアルポートメモリを設ける方式を説明する図であり、(a)は通常状態、(b)VCCコピー状態を示す。

20 【図17】スイッチの入力側に設けられる変換制御部の他の形態の構成図である。

【図18】図17に示す変換制御部の動作フローチャートである。

【図19】スイッチの出力側に設けられる変換制御部の他の形態の構成図である。

【図20】ATMセルのフォーマットを示す図であり、(a)はUNIにおけるフォーマット、(b)はNNIにおけるフォーマットである。

【図21】ATM交換システムの構成図である。

30 【図22】従来の入力回線インタフェース装置の構成図である。

【図23】従来の出力回線インタフェース装置の構成図である。

【図24】従来の入力側のVCC（仮想チャネル変換機能）の構成図である。

【図25】従来の出力側のVCC（仮想チャネル変換機能）の構成図である。

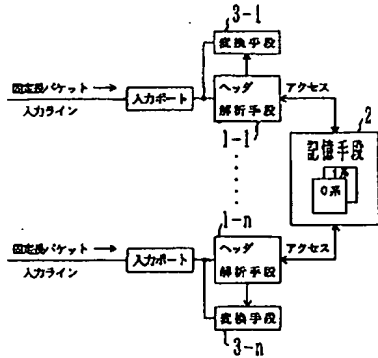
【図26】二重化系における系間接続を説明する図である。

40 【符号の説明】

1-1~1-n ヘッダ解析手段
2 記憶手段
3-1~3-n 変換手段

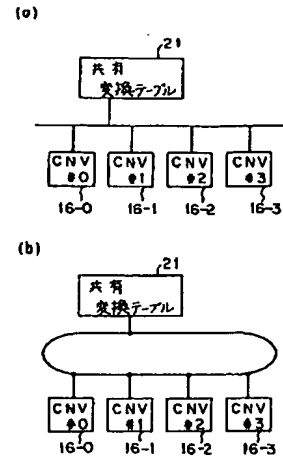
【図1】

本発明の原理を説明する図



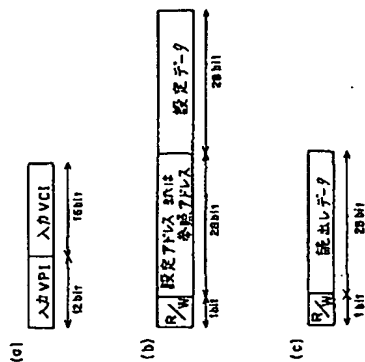
【図3】

変換制御部と共有変換テーブルとの間の接続構成を説明する図



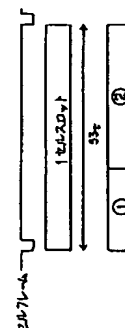
【図6】

入力セルから抽出されたデータ、変換機の制御系から転送されたデータ、テーブルから読み出したデータのフォーマットを示す図



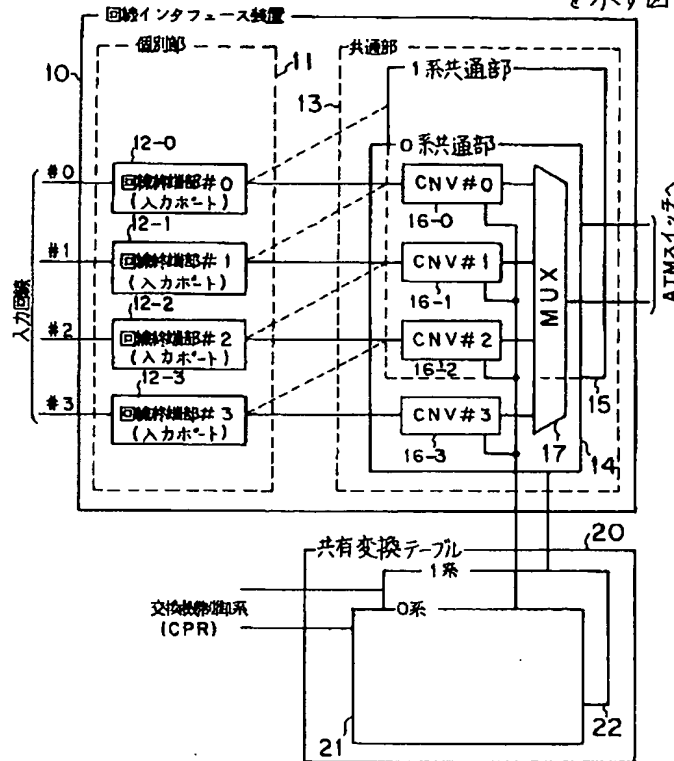
【図7】

変換制御部内において、入力セルに対する処理に使用する期間および変換機の制御系の処理に使用する期間のタイミングを示す図



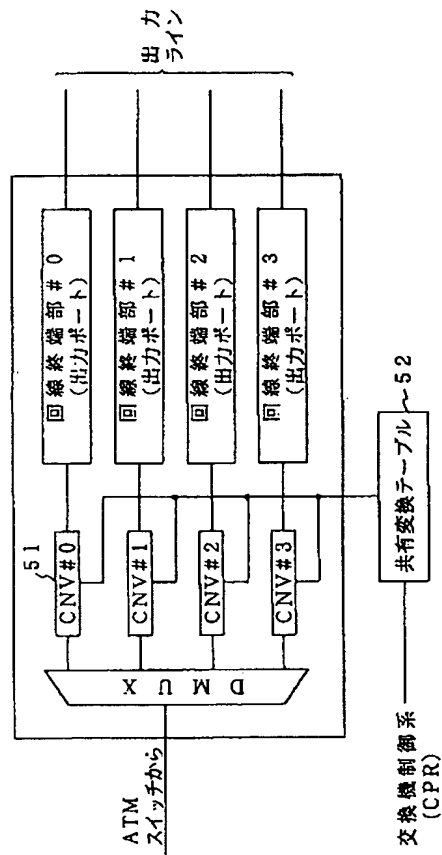
[図2]

本発明の一実施例の構成図であり、
スイッチの入力側に設けられたヘッダ変換機能部
を示す図



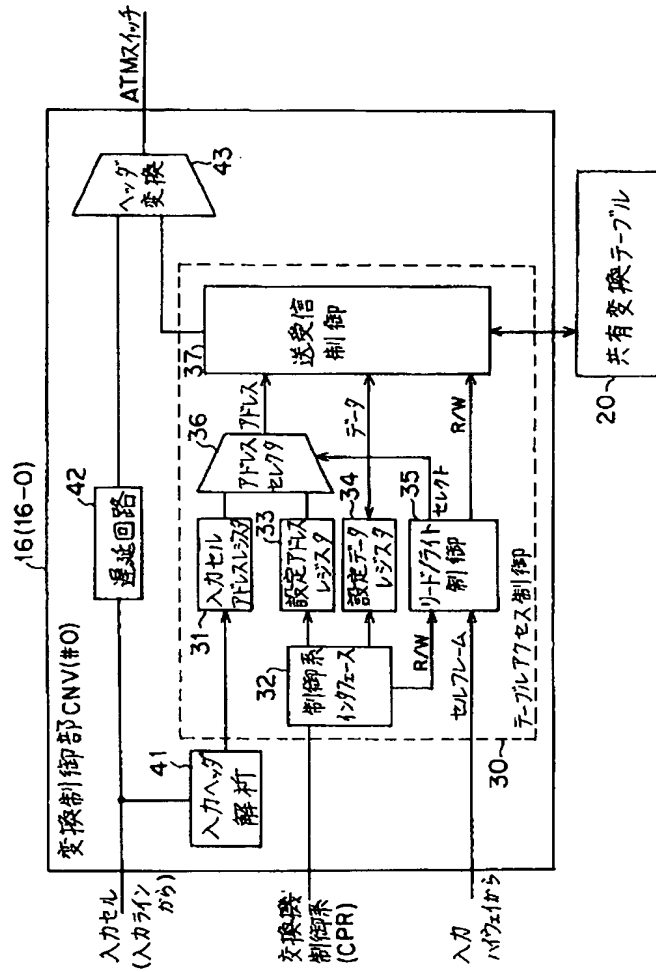
【図4】

本発明の一実施例の構成図であり
 スwitchの出力側に設けられたヘッダ変換機能部
 を示す図



〔図5〕

スイッチの入力側に設けられる変換制御部の構成図



【図8】

変換制御部と共有変換テーブルの間で転送されるデータのフォーマットを示す図

(a)

R/W	入力VPI/VCI	Don't Care	回線番号
-----	-----------	------------	------

(b)

R/W	設定アドレス または参照アドレス	設定データ	回線番号
-----	---------------------	-------	------

(c)

読出しデータ	回線番号
--------	------

【図12】

固定割当方式におけるテーブル構成を説明する図

(a)

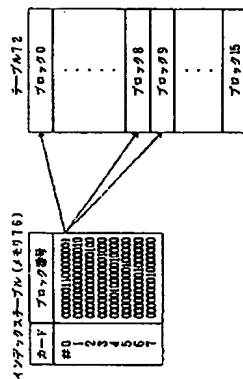
アドレス		データ
binary	hex	
000 0000	0	ブロック0 (#0用)
000 0001	1	
000 0010	2	
000 1110	1E	ブロック0 (#1用)
000 1111	1F	
001 0000	20	
001 0001	21	ブロック2 (#2用)
001 1111	3F	
010 0000	40	
010 0001	41	
010 0010	42	

(b)

データ				
bit	入力ヘッダ情報		変換情報(出力ヘッダ情報)	
	入力VPI	入力VCI	内部VPI	内部VCI
1	xxxxxxxxxxxx	xxxxxxxxxxxxxxxxxxxx	xxxxxxxxxxxx	xxxxxxxxxxxxxxxxxxxx
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16

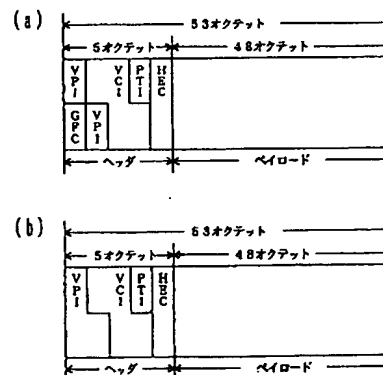
【図13】

第1の動的割当方式におけるテーブル構成を説明する図



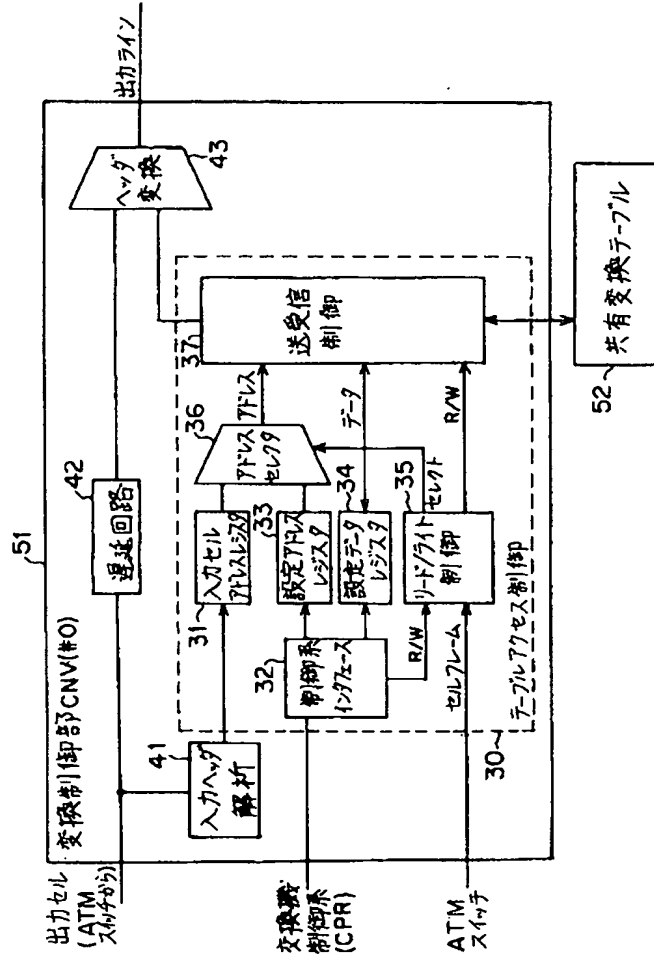
【図20】

ATMセルのフォーマットを示す図



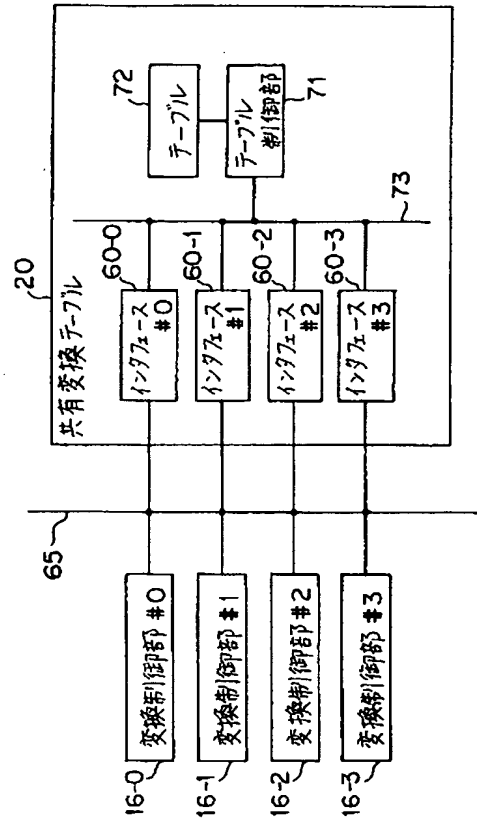
【図9】

スイッチの出力側に設けられる変換制御部の構成図



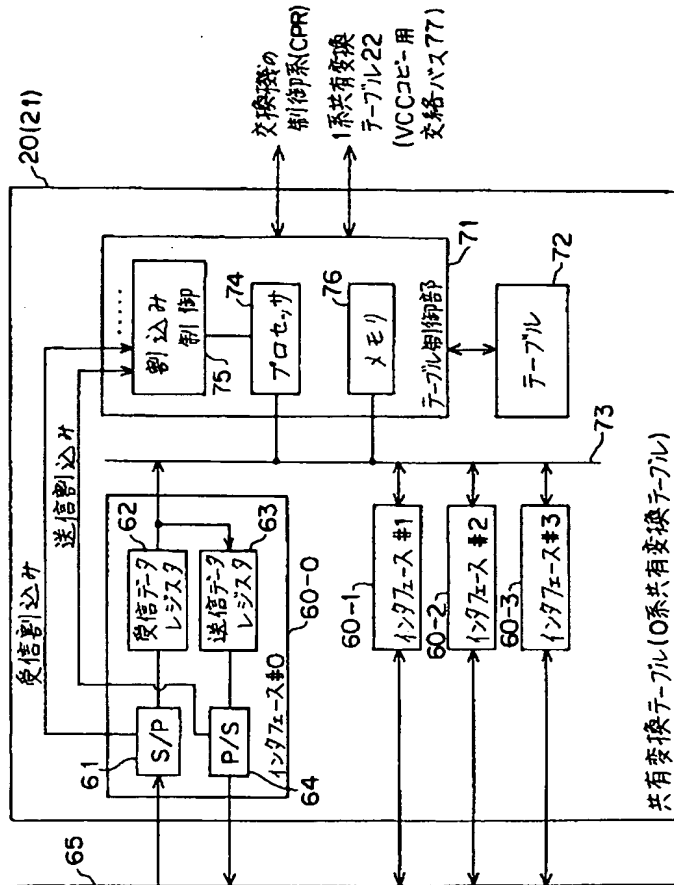
【図10】

変換制御部と共有変換テーブルとのインタフェースを説明する図



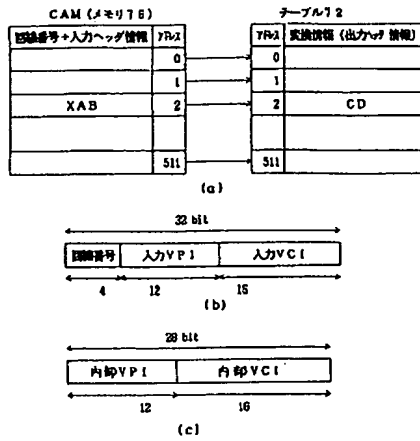
[図11]

本発明の一実施例の共有変換テーブルの内部構成図



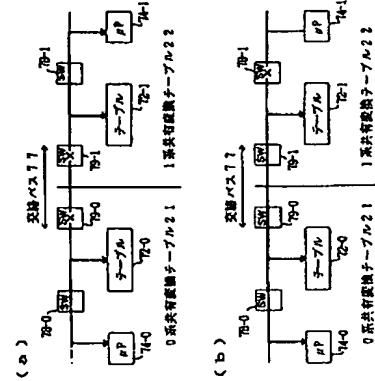
【図14】

第2の動的割当方式におけるアプル構成の説明図



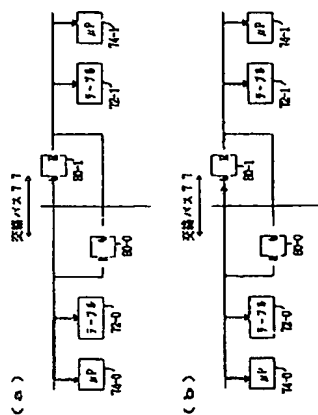
【図15】

両系間の交換バスを分離・接続する方式の説明図



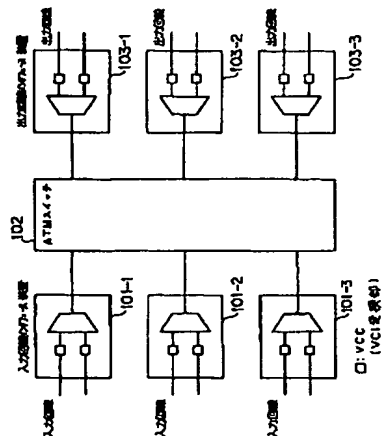
【図16】

両系間にデュアルポートメモリを設ける方式の説明図



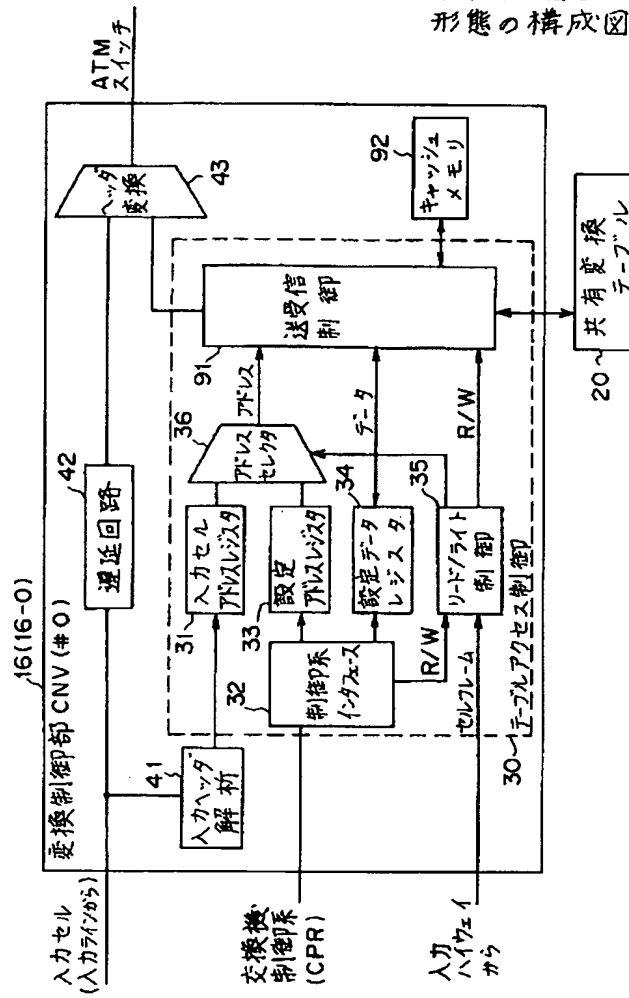
【図21】

ATM 交換システムの構成図



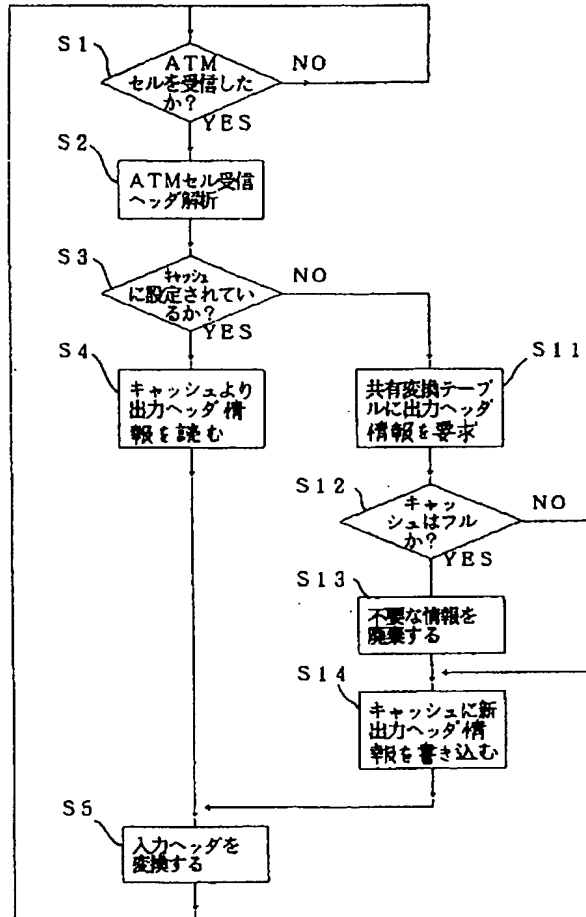
【図17】

スイッチの入力側に設けられる変換制御部の他の
形態の構成図



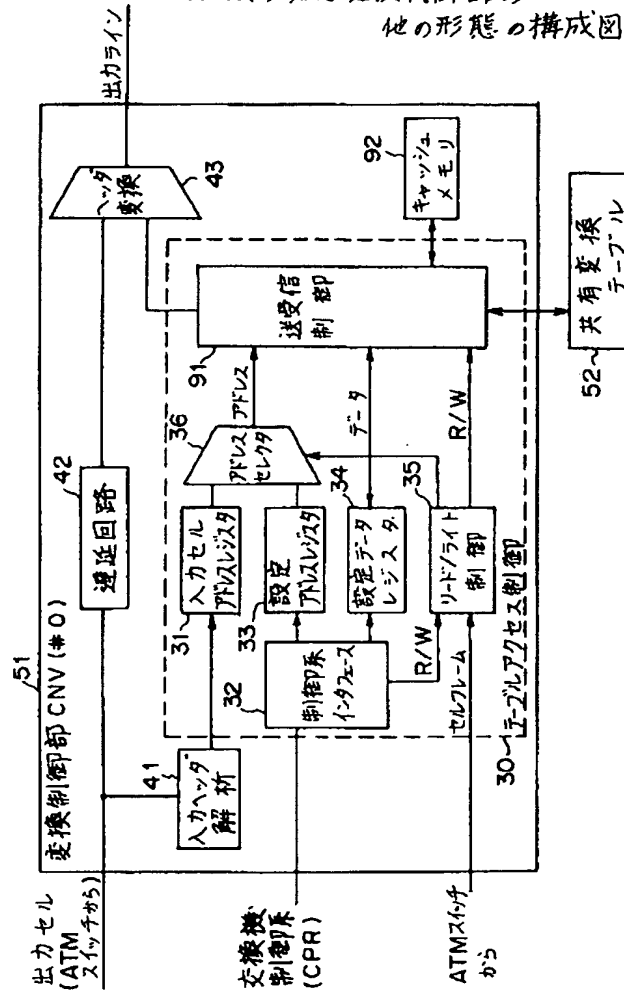
【図18】

図17に示す変換制御部の動作フローチャート



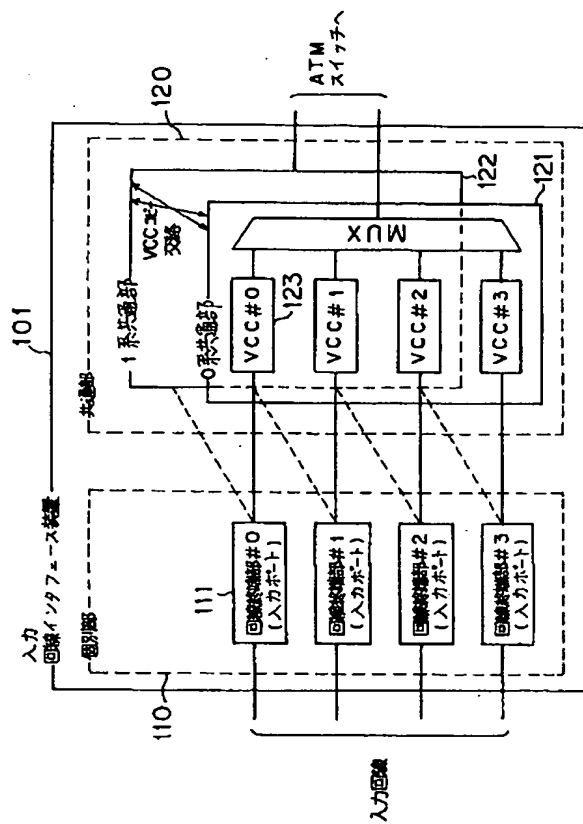
【図19】

スイッチの出力側に設けられる変換制御部の
他の形態の構成図

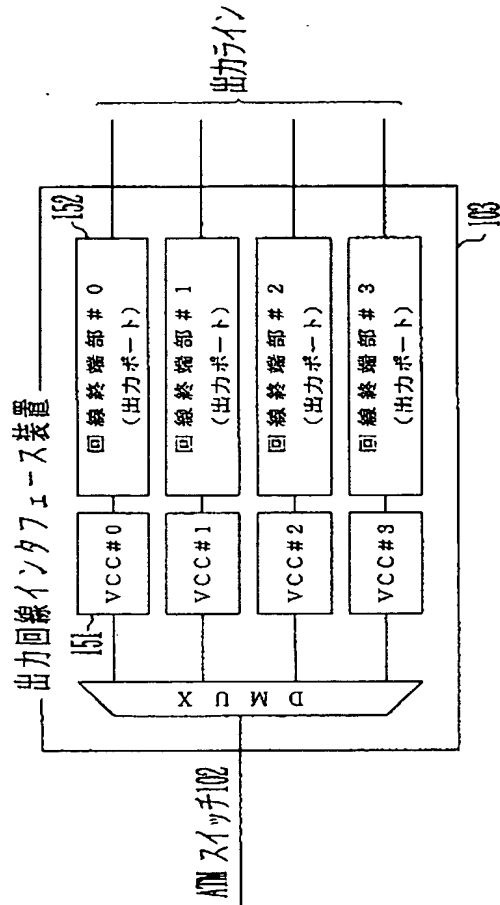


(図22)

従来の入力回路インタフェース装置の構成図

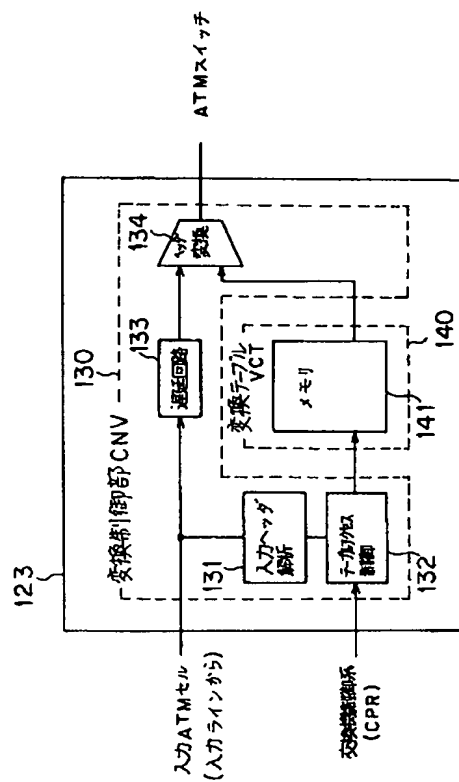


従来の出力回線インタフェース装置の構成図



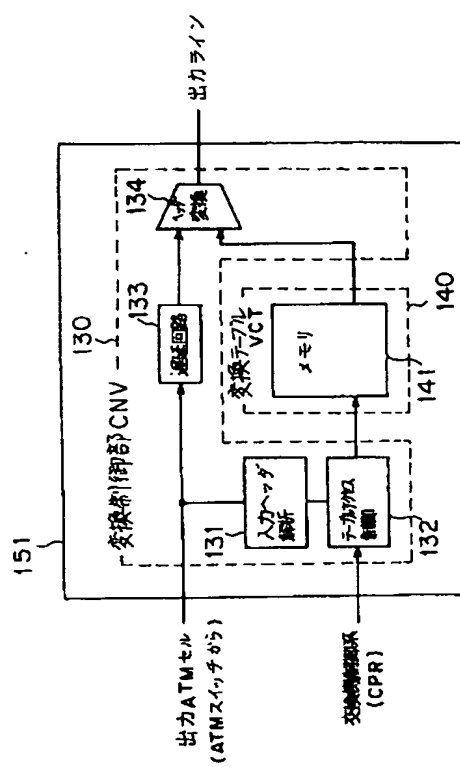
〔図24〕

従来の入力側の
VCC(仮想チャネル変換機能)の構成図



【図25】

従来の出力側の
VCC(仮想チャネル変換機能)の構成図



【図26】

二重化系における系間接続の説明図

